

R-6-RS-02

半導体集積回路におけるインプロセス信頼性技術
に関する調査研究成果報告書

平成 7 年 3 月

財団法人 日本電子部品信頼性センター

平成6年度 半導体故障物理研究委員会構成表

	氏 名	所 属
委 員 長	木 村 忠 正	電気通信大学
幹 事	和 田 嘉 記	日本電信電話株式会社 L S I 研究所
委 員	伊 東 俊 樹	株式会社日立製作所
”	梅 村 栄 一	沖電気工業株式会社
”	岡 田 静 夫	ソニー株式会社
”	門 田 靖	株式会社リコー
”	瀬戸屋 孝	株式会社東芝
”	千 野 健 一	住友金属鉱山株式会社
”	中 林 正 和	三菱電機株式会社
”	二 川 清	NEC
”	馬 場 智 也	シャープ株式会社
”	福 田 保 裕	沖電気工業株式会社
”	和 田 哲 明	松下電子工業株式会社
”	塩 野 登	(財)日本電子部品信頼性センター
事 務 局	鳴 神 長 昭	(財)日本電子部品信頼性センター

半導体集積回路におけるインプロセス信頼性技術 に関する調査研究成果報告書

目 次

平成6年度半導体故障物理研究委員会構成表

序 文

1. まえがき	1
1.1 MOS FETにおける酸化膜厚減少の問題点	1
1.2 MOS フラッシュメモリ	2
1.3 インプロセス信頼性評価の必要性	2
2. 酸化膜の故障モードと故障要因	5
2.1 SiO ₂ 膜の電気伝導とキャリア注入	5
2.1.1 酸化膜の構造	5
2.1.2 酸化膜及び界面の欠陥と電気特性に与える影響	5
2.1.3 絶縁体の電気伝導	7
2.2 TDDBの故障メカニズム	15
2.2.1 酸化膜の絶縁破壊	15
2.2.2 TDDBの性質	15
2.2.3 TDDBの故障メカニズム	20
2.2.4 TDDBの故障要因の性質	26
2.2.5 SiN単層膜の絶縁破壊	27
2.2.6 積層膜(MNOS, MONOS, MDNS)の絶縁膜破壊	29
2.3 TDDBの評価試験方法	34
2.3.1 ランプ電圧ストレス	35
2.3.2 定電界ストレス	35
2.3.3 定電流ストレス	37
3. 信頼性獲得のためのプロセス管理の考え方	39
3.1 はじめに	39
3.2 信頼性確保のためのプロセス管理手法	39
3.3 TEGによるプロセス管理	42
3.4 工程内モニタリング技術	45
4. ゲート酸化膜の信頼性に影響を与える工程要因	55
4.1 Si結晶に起因するTDDB	55
4.1.1 酸化膜耐圧劣化要因	56
4.1.2 改善対策	58

4.2	炉前処理（炉前洗浄）	61
4.2.1	はじめに	61
4.2.2	ゲート酸化膜の信頼性に影響を及ぼす因子とその解決策	61
4.2.3	工程管理の重要性	68
4.2.4	資 料	68
4.3	酸化膜工程中でTDDDBに影響を与える要因	70
4.3.1	酸化膜（絶縁膜）材料の種類	70
4.3.2	酸化方法、酸化条件	70
4.3.3	金属汚染	73
4.3.4	酸化後の処理	74
4.4	ゲート形成・イオン注入・熱処理	78
4.4.1	はじめに	78
4.4.2	ゲート形成	78
4.4.3	イオン注入	82
4.4.4	熱処理	85
4.5	プラズマプロセス（レジスト・アッシング、エッチング）	89
4.5.1	プラズマによる帯電のモデル	89
	(1) 平衡状態でのDC効果	90
	(2) 平衡状態でのAC効果	95
	(3) 過渡効果	102
4.5.2	ゲート酸化膜劣化メカニズム	104
4.5.3	損傷の測定方法	108
4.5.4	プラズマ装置によるダメージの差	112
4.5.5	膜厚、酸化条件によるダメージの影響	115
	(1) 膜厚依存性	115
	(2) 酸化膜形成条件依存性	117
	(3) 損傷のアニール依存	118
4.5.6	酸化膜損傷の防止策	119
4.5.7	プラズマ照射損傷	119
4.6	ウェーハプロセス内での静電気現象	123
4.6.1	ウェーハプロセスの静電気現象	123
4.6.2	酸化膜損傷	123
4.6.3	トランジスタ特性劣化	125
4.6.4	帯電水洗浄によるゲート酸化膜の損傷と膜質向上	126
4.6.5	イオン注入プロセスにおける静電気現象	128
4.6.6	パーティクル問題に関する静電気現象	129
	(1) クリーンルームにおけるイオナイザーの塵埃除去効果	129
	(2) イオナイザーの各種方式	131
5.	あとがき	133

序 文

最近の半導体VLSI技術の進展は目覚ましく、多数の完成品の検査と長時間の加速試験を基本とする従来の品質・信頼性評価技術は、技術的にも、経済性からも困難になりつつあります。そこで、近年は製品開発段階で信頼性を作り込む技術（Building in Reliability）が注目されております。すなわち、設計・開発段階でのデザインレビューを従来より強化し、基本的な信頼性問題の無い技術を開発しようとするもので、またプロセスラインでの信頼性管理技術も重要と認識されてきております。

このような背景において、当センターでは、かねてより半導体メーカ、研究所、大学などから半導体故障物理の専門家にお集まりいただき、研究会を組織致しまして、平成5年度及び6年度の2カ年にわたり「半導体集積回路におけるインプロセスの信頼性技術」に関して内外の学協会の研究会、シンポジウム等の文献調査及び解析を致してきました。特に、インプロセスの信頼性技術として、重要な信頼性問題の一つであるゲート酸化膜の経時絶縁破壊故障（TDD B(Time Dependent Dielectric Breakdown))に焦点を絞り、文献調査、解析を致しました。

ここに、平成6年度の成果を取りまとめましたが、本報告書が広く関係方面のご参考になり、活用されることを心から期待致します。

なお、本事業の遂行に当たり、「半導体故障物理研究委員会」の木村委員長を始め、委員の皆様の多大なご尽力に対して厚くお礼申し上げます。

平成7年3月

財団法人 日本電子部品信頼性センター
理事長 高木 昇

1. ま え が き

1. まえがき

1-1 MOSFET における酸化膜厚減少の問題点

MOS 集積回路における微小化にともない、ゲート酸化膜厚は極限近くまで薄くなり、酸化膜の絶縁破壊、酸化膜経時破壊 (TDDB - time dependent dielectric breakdown)、ホットキャリアによるデバイス特性劣化の対策が重要になりつつあり、回路上の工夫または電源電圧の低減などの対策が考えられている。酸化膜厚が極限まで薄くなることにより、酸化膜厚や膜質のわずかの局所の変動が信頼性に大きく関わってくるため、プロセス管理とインラインにおける酸化膜特性のチェックの必要性が唱えられている。

ゲート酸化膜厚が薄くなると、Fowler-Nordheim (FN) トンネルもれ電流が流れるようになる。一様な酸化膜に対する FN 電流と電界の関係式は理論的に与えられているが、実際の一様でない酸化膜では式中の未知の係数は、空間的に変化するだけでなく、劣化とともに時間的にも変化するので、許容漏れ電流を与える最大電界 E_{max} の正確な理論的評価はできない。しかし、FN トンネル電流の理論式が適用できるとして酸化膜に印加することのできる最大許容電界を見積もってみる [1]。FN 漏れ電流による電荷注入が続くと酸化膜の TDDB 劣化が生じるが、注入総電荷量 (charge-to-breakdown) Q_{bd} が TDDB 破壊のための良い指標で、経験的に $\sim 10 \text{ C/cm}^2$ と云われている。 Q_{bd} と酸化膜電界 E_{ox} との経験的な関係式を用いて 10 年寿命のための最大許容電界を求めると $E_{ox} \sim 7 \text{ MV/cm}$ となり、この時の FN 電流は $2 \times 10^{-7} \text{ A/cm}^2$ と接合の漏れ電流 $\sim 10^{-10} \text{ A/cm}^2$ に比べてかなり大きい値になる。一方、FN 漏れ電流を接合漏れ電流と同じ程度に抑えようとすると $E_{ox} < 5.8 \text{ MV/cm}$ であり、最大許容電界は TDDB より漏れ電流で制限されることとなる。ただし、この評価は大体の目安であり、TDDB が問題でないということではない。TDDB, 漏れ電流 両者の大体の評価から、最大許容電界はおよそ 6 MV/cm である。これから、MOSFET における最小酸化膜厚が求められる。一方、酸化膜直接トンネリングが生じると、反転層のキャリアが酸化膜をトンネルしてしまう。直接トンネリングが生じないための最小酸化膜厚はおよそ 4 nm である。

ホットキャリアの酸化膜への注入は、ショートチャネル程大きくなる。MOSFET の飽和領域ではインパクトイオン化で生じたホットキャリアが酸化膜内に注入されるが、この場合 V_{DD} がゲート電圧に比し大きいとき、注入されたホットキャリアは、ドレインの方に流れる。このキャリアがドレイン近傍の酸化膜、界面を劣化させ、 V_{th} シフト、 g_m 劣化を引き起こす。インパクトイオン化は、ドレイン近傍のピンチオフ領域での横方向の電界 E_{lat} の増加にともない指数関数的に増加する。ホットキャリア劣化による寿命 (10 年) の要請から、最大許容横方向電界は $E_{lat} \sim 0.2 \text{ MV/cm}$ である。チャンネル長 $0.1 \mu\text{m}$ 時代の MOSFET では、この横方向電界の制限による許容ゲート酸化膜電界の試算は $3 - 5 \text{ MV/cm}$ (MOSFET の構造、形状、寸法に依存する) となり、FN 漏れ電流、TDDB による制限より厳しい。

1-2 MOS フラッシュメモリ

フラッシュメモリでは、書き込みは、チャンネルホットエレクトロン (CHE) を生成し、これをゲート酸化膜 ($V_G > V_D$) を通してフローティングゲートに注入する。消去は、ドレインとゲートに高電界 ($V_D > V_G$) を印加してホットホールをゲート酸化膜を通してフローティングゲートに注入する (フローティングゲートの電子を FN トンネルで基板側に放出する場合もある)。プログラム / 消去サイクルで酸化膜に印加される電界は 10MV/cm を越え、酸化膜の絶縁破壊を引き起こす可能性がある。

また、トラップアップ (trap up) と呼ばれる劣化がある。これは、消去時の酸化膜へのホットホール注入による界面トラップの生成および酸化膜内でのホールトラップが原因と考えられている。まず、注入されたホットホール (drain avalanche induced hot holes) が多くの アクセプターライクの界面トラップを生成する。ここに電子がトラップされ負に帯電すると、ドレイン近傍の電界に大きな影響を与え、書き込み時の CHE 注入のしきい電圧を下げる。また、酸化膜に注入されたホットホールの一部は酸化膜中にトラップされ、これは、電子の FN トンネル注入障壁を下げ、両方向の FN 電子注入を促進し、書き込み / 消去電圧に影響を与える。また、フローティングゲートからの電荷損失を増加させる。このようなフラッシュメモリのプログラム / 消去サイクルによる特性劣化は、 $\sim 10^6$ 回書き替え可能保証における重要な問題で、デバイス構造、回路上の工夫とともに、酸化膜質の向上が必要である。

1-3. インプロセス信頼性評価の必要性

前節で、MOSFET のゲート酸化膜の信頼性の観点から許容最大電界、可能な最小酸化膜厚について考察したが、これから分かるように、ゲート酸化膜厚、ゲート電圧が限界ぎりぎりのところで使われるようになり、わずかの膜質、膜厚の変動、不純物の混入が信頼性に大きく関わってくる。したがって、プロセスの管理とインプロセスにおける酸化膜特性のモニターが非常に重要になる。

プロセス管理とは、供給材料の品質と特性、形状などの安定性、装置の種々のパラメータの安定性の管理と、プロセス変動が与える作製酸化膜の膜厚、膜質、不純物などの特性モニターである。さらに、酸化膜信頼性をインプロセスで評価することが要求されるようになってきた。信頼性評価は、プロセスの途中で取り出した試料から TEG (test element group) 試料を作製し、その TDDB 劣化、ホットキャリア劣化を測定する方法がオーソドックスであるが、多大のサンプル数と試験時間が必要で、その結果をプロセスに迅速にフィードバックすることが難しい。インプロセス評価で考えられている信頼性評価方法とは、酸化膜の時間に関する信頼性を見るのではなく、信頼性に関する酸化膜の特性 (時間に関係しない!) を評価することにより信頼性を予測することである。もし、それが可能であれば、材料、装置パラメータと信頼性の直接的な関係が分かり、インプロセスで評価した結果を迅速に材料、装置パラメータへフィードバックすることが可能となる。これが、理想的なインプロセス信頼性評価であるが、現実には、そのような信頼性と材料、デバイス特性と 1 対 1 の対応を得ることは難しい。将来、酸化膜漏れ電流のモニター、原子レベルでの酸化膜表面欠陥、不純物汚染の AFM (atomic force microscopy) モニターなどにより、理想的なインプロセスモニターが可能となることを期待している。

現時点では、まず、酸化膜の膜厚、膜質、欠陥が供給材料、プロセスパラメータとどのような関係にあるかのデータを地道に集めて行くことから始めなくてはならない。本報告書も、題名はインプロセスによる信頼性管理となっているが、内容は、ゲート酸化膜の TDDB 劣化に関する文献を調査し、ゲート酸化膜作製における各プロセスが酸化膜の諸特性にどのような影響を与えるか、また、現在は、どのようなプロセス管理、信頼性評価方法がとられているかを示すことに重点を置いている。

参考文献

- [1] S. M. Sze: High-Speed Semiconductor Devices, John Wiley & Sons, Inc. (1990)