

R-18-RS-01

平成 1 8 年度

故障物理研究委員会研究成果報告書

- 次世代技術ロードマップ
と信頼性課題 -

平成 1 9 年 3 月

財団法人 日本電子部品信頼性センター

序 文

近年、半導体の微細加工技術や多層金属配線技術等の開発が益々向上し、半導体集積回路の高集積化・高機能化・高性能化・高速化・低消費電力化が著しく進展し、新たな需要分野を喚起しております。

このような技術により集積されたULSIの信頼性を確保するためには、ULSIの設計・製造プロセスの開発段階で信頼性を作り込むことが重要となっています。そのためには、各種故障モード及び故障メカニズムを解明し、早急に対策を立てていく必要があります。半導体故障物理の研究が益々重要視されるようになってまいりました。

このような背景において、当センターでは、かねてより半導体メーカ、研究所、大学などから故障物理の専門家にお集まりいただき、研究会を組織して、最新半導体デバイスで問題となる信頼性問題について調査・研究を進めてまいりました。

本年は、「次世代技術ロードマップと信頼性課題」を主テーマとして、高誘電率膜、先端デバイスのNBTI、先端デバイスの配線、不揮発性RRAMについて、その技術と信頼性課題に注目し、調査研究のまとめを行っています。本報告書が広く関係方面のご参考になり、活用されることを期待致します。

なお、本事業の遂行に当たり、「故障物理研究委員会」の木村 忠正委員長を始め、委員の皆様のご多大なご尽力に対し、深謝致します。

平成19年3月

財団法人 日本電子部品信頼性センター
理事長 福山 裕幸

平成18年度故障物理研究委員会研究成果報告書

目次

序文

平成18年度故障物理研究委員会委員構成表

まえがき	1
1. 次世代技術ロードマップと信頼性課題	2
1.1 序	2
1.2 縮小化の主な問題点と対策	3
1.3 ナノメートルスケールのリソグラフィ技術	9
1.4 ナノメートルスケールの解析技術	10
1.5 まとめ	10
参考文献	12
2. 高誘電率 (high-) ゲート絶縁膜の動向と信頼性	13
2.1 はじめに	13
2.2 High- 材料に求められる特性	14
2.3 高誘電率ゲート絶縁膜材料の選択	18
2.4 High- ゲート絶縁膜導入上の問題点	18
2.4.1 ソフトフォノンによる移動度低下	19
2.4.2 フェルミレベルピンニング現象	22
2.5 ポリSi ゲート - High- 膜系の対策	24
2.5.1 キャリア移動度の低下対策	24
2.5.2 しきい値電圧制御の困難性の対策 (特に pMOS の V_T の制御性)	24
2.6 メタルゲート - high- 膜構造	25
2.6.1 デュアルメタルゲート - High- 膜構造	25
2.6.2 FUSI ゲート構造	27
2.7 high- 膜の信頼性	28
2.7.1 高誘電体膜の電荷トラップ特性及び PBTI	28
2.7.1.1 電子トラップの存在と PBTI (positive bias temperature instability)	28
2.7.1.2 電子トラップの特性	32
2.7.1.3 PBTI 不安定性軽減対策	34
2.7.2 NBTI	36
2.7.3 高誘電体膜の降伏特性	38
2.7.4 TDDB 特性	39
2.8 まとめ	47
参考文献	48
付録-1 極薄ゲート酸化膜 MOS 構造のキャリアの量子効果、ポリ Si の空乏効果 及び C-V 特性	50
1. はじめに	50
2. 量子効果	50
3. ポリSi空乏効果	51
4. C - V特性のシミュレーション	52
5. 実測C - V特性との比較	52

6. C - V特性を利用した酸化膜厚評価.....	52
7. まとめ.....	55
3. 先端デバイスの NBTI 劣化現象.....	56
3.1 NBTI 劣化の評価方法.....	56
3.1.1 DC 測定法.....	56
3.1.2 On the Fly 法.....	58
3.1.3 Fast 測定法.....	59
3.2 測定法による回復の影響と寿命予測.....	61
3.3 回復メカニズム.....	64
3.3.1 NBTI の回復モデル.....	64
3.3.2 H の解離・拡散モデル.....	64
3.4 界面準位の測定方法と回復現象.....	65
3.5 まとめ.....	66
参考文献.....	67
4. 先端配線技術の信頼性.....	68
4.1 45nm ノード世代以降のプロセス世代における配線危機.....	68
4.2 先端ダマシ Cu 配線技術.....	68
4.2.1 無電界めっきによるメタルキャップ配線.....	69
4.2.2 プラズマ CVD による PSAB 配線.....	70
4.2.3 Cu 合金配線.....	71
4.2.4 先端ダマシ Cu 配線技術と信頼性.....	73
4.2.4.1 エレクトロマイグレーション.....	73
4.2.4.2 ストレス誘起ボイド.....	77
4.2.4.3 Low-k TDDB.....	79
4.3 まとめ.....	81
参考文献.....	81
5. 次世代不揮発性 RRAM メモリ技術と信頼性.....	83
5.1 はじめに.....	83
5.2 次世代の不揮発性メモリ技術.....	84
5.3 RRAM 用材料とその書き換え特性.....	86
5.4 RRAM の動作メカニズム.....	90
5.5 RRAM の信頼性.....	94
5.6 RRAM の課題.....	96
5.7 まとめ.....	98
参考文献.....	98
あとがき.....	100

まえがき

故障物理研究委員会の課題は、故障物理というLSIの信頼性の基礎についての調査研究が主ですが、委員会委員に日本を代表する主要 LSI 関連企業の現場で活躍している方々を中心に、大学、研究機関の方がメンバーとして加わっています。現場、製品の信頼性に直接従事している企業の方々が故障物理の調査研究に携わることで、机上の空論ではない、プロセス、設計、製品と密接に結びついた LSI の故障を、物理的、化学的、数学的基礎から考えるとともに、試験方法、プロセス、市場故障、新材料や新デバイス構造などの信頼性の問題に関連付けた調査研究を行ってきました。その成果を、RCJ 信頼性シンポジウムにおけるセミナー、RCJ 成果報告書、その他の機会に発表してきましたが、少しでも、日本における半導体デバイスの信頼性向上に貢献できたのではないかと考えています。また、かつての委員の多くの方々が、現在、学会等において中心的立場で活躍していることも大変嬉しいことです。今後とも、引き続きのご支援をお願いいたします。

平成 18 年度は、ITRS2005 のロードマップを軸に、65nm、45nm あるいはそれ以下の特性長の LSI において予測される故障物理の問題点を取り上げ、調査研究いたしました。現在の材料、構造を変えないスケールダウンでは、性能だけでなく、信頼性問題を解決できず、新しい材料、デバイス構造の導入が必須です。Cu 配線、low-k 層間膜の信頼性、high-k ゲート絶縁膜と金属ゲート電極の信頼性、動的測定法による NBTI のメカニズム、3D 構造 FET、新メモリー材料など、信頼性課題は新たな局面を迎えようとしています。また、これまでの CMOS とは全く異なる材料、デバイスを CMOS と有機的に融合する方向も考えられています。そのような新展開も含めた今後の半導体デバイスの信頼性問題を集中的に取り上げました。

日本電子部品信頼性センター(RCJ)故障物理研究委員会は、平成 18 年度(2006 年度)に 30 周年を迎えました。これも、賛助会員、RCJ、信頼性に携わる多くの方々からのご支援とともに、これまで、故障物理研究委員会に参加してきていただいた多くの有能な委員の方々のお陰であり、あらためて厚く御礼申し上げます。