

R-2024-M-01

2024年度

基板・モジュール静電気対策検討委員会  
調査報告書

2025年3月

一般財団法人 日本電子部品信頼性センター



## 目 次

1. まえがき .....	1
2. 電子部品、基板、モジュール、電子機器における静電気障害分類及び各試験方法 .....	2
2.1 対象レベルによる静電気障害分類.....	2
2.2 コンポーネントレベル静電気障害.....	3
2.2.1 外部帯電物体からの静電気放電による ESD 流入にて損傷する ESD モデル.....	3
2.2.1.1 人体帯電モデル (HBM) による公的標準試験方法.....	4
2.2.2 帯電したデバイスからの静電気放電による ESD 損傷する ESD モデル.....	5
2.2.2.1 デバイス帯電モデル(CDM/FI-CDM)による公的標準試験方法.....	6
2.2.3 外部電界の変化による電場誘導モデル (FIM: Field Induced Model) .....	7
2.3 システムレベル静電気障害 .....	7
2.4 基板・モジュールレベル静電気障害.....	9
2.4.1 CBE 現象の分析.....	9
2.4.1.2 各工程における CBE 分析.....	10
2.4.1.2.1 部品搭載基板半田処理工程における CBE 放電電流波形 .....	10
2.4.1.2.2 WCSP 単体と WCSP 搭載基板との検査工程における FI-CDM/CBE 放電電流波形比較.....	11
2.4.1.3 CBE(Charged Board Event)特性のまとめ.....	12
2.4.1.4 便宜的 CBE(Charged Board Event)試験方法.....	12
2.4.2 人体帯電金属モデル(HMM: Human Metal Model) .....	13
3. CBE 障害現象と対策.....	16
3.1 CBE 現象の一次放電、基板上二次放電現象.....	16
3.1.1 PCB 上で発生するマイクロギャップ放電現象.....	16
3.2 CBE 自動試験装置による放電波形分析による CBE モデル分析 .....	34
3.2.1 半導体実装モジュールを使用した放電波形および破壊試験.....	34
3.2.1.1 試験用基板 .....	34
3.2.1.2 基板状態による放電波形.....	36
3.2.1.3 基板状態による放電時の半導体の破壊現象および解析.....	38
3.2.2 モジュールと試験環境下の寄生容量による波形調査.....	39
3.2.2.1 テストモジュールのサイズと放電ユニットの GND サイズ .....	40
3.2.2.2 テストモジュールのサイズと放電ユニットの GND サイズを変化させた放電波形 .....	41
3.2.2.3 等価回路 .....	42
3.2.3 まとめ .....	43
3.2.3.1 半導体実装モジュールを使用した放電波形および破壊試験のまとめ.....	43
3.2.3.2 モジュールと試験環境下の寄生容量による波形調査のまとめ.....	44
3.3 CBE 保護設計対策、SEED 設計手法導入.....	45
3.3.1 CDM 試験と CBE 試験.....	45
3.3.2 従来の CBE 対策.....	45
3.3.3 回路部品による CBE 対策提案.....	45
3.3.3.1 基板・モジュールの位置付け.....	45
3.3.3.2 基板・モジュールに適用される ESD 試験 .....	46
3.3.3.3 回路部品による CBE 対策提案.....	47
3.3.3.3.1 インピーダンス素子の直列配置による対策.....	47
3.3.3.3.2 過電圧保護素子の並列配置による対策.....	52

3.3.3.3.3	CBE に対する SEED 設計	55
3.4	ESD 管理規格の比較	56
3.4.1	はじめに	56
3.4.2	各規格の概要	56
3.4.2.1	IEC 61340-5-1 (国際規格)	56
3.4.2.2	ANSI/ESD S20.20 (米国規格)	56
3.4.2.3	RCJS-5-1 (国内規格)	57
3.4.2.4	ESD 管理 3 規格の概要まとめ	57
3.4.3	各規格の改訂動向	58
3.4.3.1	IEC 61340-5-1:2024	58
3.4.3.2	ANSI/ESD S20.20:2021	58
3.4.3.3	RCJS-5-1:2016	59
3.4.3.4	ESD 管理 3 規格の改訂まとめ	59
3.4.4	適用範囲と対象 ESDS の比較	59
3.4.5	技術的要求事項の比較	60
3.4.5.1	リストストラップ/リストストラップシステム	62
3.4.5.2	人/床/履物システム	62
3.4.5.3	椅子	62
3.4.5.4	作業台保管棚・トロリー及びカート	62
3.4.5.5	工具・手袋・指サック等	62
3.4.5.6	イオナイザー	63
3.4.6	総括	63
3.5	基板実装工程、基板組立工程における CBE 分析事例及び対策事例	64
3.5.1	はじめに	64
3.5.2	ESD による破壊モデル	64
3.5.3	帯電量測定方法	64
3.5.3.1	半導体デバイスの不良解析	64
3.5.3.2	帯電量測定手法の検討	65
3.5.3.3	帯電量測定手法の問題解決	66
3.5.3.3.1	電荷量から電圧への変換	66
3.5.3.3.2	連続的な電荷量測定	67
3.5.4	CBE 分析事例及び対策事例	67
3.5.4.1	基板実装工程設備の構成	67
3.5.4.2	基板実装工程の事例	67
3.5.4.3	製品組立工程の事例	68
3.5.5	半導体デバイス不良率と相対湿度および絶対湿度との関係	69
3.5.6	間違った静電気対策/管理事例	70
3.5.6.1	はんだコテに関する不具合事例	70
3.5.6.2	電動ドライバーに関する不具合事例	70
3.5.6.3	イオナイザーに関する不具合事例	70
3.5.7	静電気管理の重要性	72
3.6	10V 静電気管理とその手法	73
3.6.1	背景	73
3.6.2	ハードディスクドライブ (HDD : Hard Disc Drive) について	73
3.6.2.1	ハードディスクドライブ (HDD : Hard Disc Drive) の製造工程	74
3.6.2.2	ハードディスクドライブ (HDD : Hard Disc Drive) の製造工程における静電気対策	74

3.6.3	ハードディスクドライブ (HDD : Hard Disc Drive) 業界で使用されている機器・用品	77
3.6.4	まとめ	78
3.7	製造工程における簡易静電容量方法検討	79
3.7.1	CBE 取扱い工程での静電容量測定の必要性	79
3.7.2	製造工程における簡易静電容量測定方法検討	82
3.7.2.1	電荷分配法による静電容量の測定	82
3.7.2.1.1	電荷分配法による帯電した基板の静電容量の測定原理	82
3.7.2.1.1	基板の簡易モデルを用いた電荷分配法による基板の静電容量測定の検討	83
3.7.2.1.2	基板が帯電していない場合	83
3.7.2.1.3	基板が帯電している場合	84
3.8	CBE 関連の公的文書(ESD TR25.0-02-23)概要紹介	87
3.8.1	CBE による ESD 感性評価(試験)方法の提案	87
3.8.2	各モデルにおける試験方法のまとめ	91
3.8.3	共有情報	91
3.8.3.1	ステップ応答解析技術	91
3.8.4	本技術レポートのまとめ	92
3.9	チップレットの進展に伴う CDM 耐性低下と狭ギャップ放電に伴う課題	94
3.9.1	はじめに	94
3.9.2	異種デバイス融合技術の概要[2]	94
3.9.2.1	異種デバイス融合の概要	94
3.9.2.2	マイクロバンピングとハイブリッドボンディングのロードマップ	97
3.9.3	プロセス管理[2]	98
3.9.3.1	既存の規格の適用	98
3.9.3.2	標準の必要性	99
3.9.3.3	リスク分析とさまざまなプロセスルートとの依存関係	99
3.9.3.3.1	プロセスのクリティカルパスの定義	99
3.9.3.3.2	ダイとダイのボンディング	99
3.9.3.3.3	ダイとウェーハのボンディング	100
3.9.3.3.4	ウェーハ間の接合	102
3.9.3.3.5	ボンドされたチップの取り扱い	104
3.9.3.3.6	テスト	104
3.9.3.3.7	電圧抑制効果	104
3.9.4	現実世界の放電の評価[2]	105
3.9.5	Die-to-Die インターフェースのターゲットに関する推奨事項[2]	106
3.9.5.1	はじめに	106
3.9.5.2	異種デバイス融合の変形への取り扱い	106
3.9.5.3	目標とロードマップ	106
3.9.5.4	$V_{CDM}$ のピーク電流への変換	108
3.9.6	狭ギャップの放電現象	109
3.9.6.1	はじめに	109
3.9.6.2	ガス放電メカニズム	109
3.9.6.3	パッシェン則	110
3.9.6.3.1	パッシェン則の概要	110
3.9.6.4	狭ギャップの放電現象	112
3.9.6.4.1	はじめに	112
3.9.6.4.2	狭ギャップの放電現象についての実験	113

3.9.6.4.2.1	平行平板を用いた実験	113
3.9.6.4.2.2	MEMS を想定した実験	114
3.9.6.4.3	狭ギャップのガス放電メカニズム	118
3.9.7	ダイとダイ間の放電現象	119
3.9.7.1	IC パッケージ (デバイス) からの放電現象と FICDM 試験方法[13]	119
3.9.7.2	ダイとダイ間の放電現象	121
3.9.7.2.1	ダイとダイ間 (D2D) 放電と CDM テスターでの ESD イベントの違い [2], [17]	121
3.9.7.2.2	ダイとダイ間 (D2D) 放電シミュレーション [2], [17]	122
3.9.8	まとめ	124
3.10	低電圧 CDM 試験での問題点	126
3.10.1	はじめに	126
3.10.2	目的	126
3.10.3	CDM 規格 ESDA/JEDEC JS-002 の波形規定	126
3.10.3.1	CDM 波形規定[1]	126
3.10.3.2	電流波形パラメータの定義[1]	126
3.10.3.3	波形検証用モジュール[1]	127
3.10.4	F-CDM 波形取得回路	127
3.10.5	試験環境および使用機器	127
3.10.5.1	試験環境	127
3.10.5.2	使用機器	128
3.10.6	印加電圧	128
3.10.7	測定結果	128
3.10.8	参考資料(出荷時の測定データ)	131
3.10.8.1	試験環境および使用機器	131
3.10.8.1.1	試験環境	131
3.10.8.1.2	使用機器	131
3.10.8.2	印加電圧	131
3.10.8.3	測定結果	132
3.10.9	まとめ	134
4.	電子システム ESD 耐性確保のための基板 ESD 保護対策(HMM 耐性確保)	135
4.1	HMM 提案試験方法とその問題点	135
4.1.1	ESD SP5.6-2019 試験方法 <sup>[2]</sup>	135
4.1.2	ESD-Gun を用いた HMM 試験における問題点	136
参考文献 (4.1.1~4.1.2 の部分)		137
4.1.3	IEC61000-4-2 の放電電流波形の評価検討	138
4.1.3.1	IEC61000-4-2 ESD ガンの放電電流波形	138
4.1.3.2	ターゲット GND 面積を変えた場合の第 1 ピーク部の挙動	138
4.1.3.3	負荷インピーダンスを変えた場合の電流波形挙動の確認	141
4.1.3.4	基板・モジュールに対しての理想的な ESD 試験 (HMM) の提案	143
4.2	基板 ESDS 保護のための SEED 設計及びハーモナイズ設計	144
4.3	ESD パラメータ抽出の TLP 測定と ESD ガン耐性との整合性	147
4.4	システム挿入状態(電源 ON/OFF)における基板・モジュールレベル ESD 保護設計	150
4.4.1	高周波伝送路配線上の TVS による波形品質劣化とその改善方法	150
4.4.1.1	はじめに	150
4.4.1.2	高速・高周波 IO 保護の TVS 実装時の課題	150
4.4.1.2.1	高速 IO の保護と信号品質 (SI)。相反する課題。	151

4.4.1.2.2	高速 IO 向け TVS.....	152
4.4.1.2.3	高速 IO 向け TVS と基板設計の最適化.....	153
4.4.1.3	実測結果とシミュレーションとの相関について.....	154
4.4.1.3.1	検証基板 .....	154
4.4.1.3.2	TVS シミュレーションモデル.....	156
4.4.1.3.3	測定環境.....	156
4.4.1.3.4	シミュレーション条件.....	156
4.4.1.3.5	シングルエンド結果 .....	156
4.4.1.4	シングルエンドライン 結果まとめ.....	159
4.4.1.5	ディファレンシャルライン.....	160
4.4.1.5.1	ディファレンシャルラインのアンチパッド効果検証.....	160
4.4.1.6	ディファレンシャルラインの部品実装部インピーダンス調整の手法.....	163
4.4.1.6.1	TVS の選択.....	163
4.4.1.6.2	ディファレンシャルラインの他のインピーダンス整合の改善手法について .....	164
4.4.1.7	その他、高周波・高速向け TVS 選択の際の注意点 .....	165
4.4.1.8	まとめ.....	166
4.5	ESD Gun 放電印加の基板内各端子過渡電圧発生モデル等の文献調査 .....	167
4.5.1	車載イーサネットにおける ESD 対策事例.....	167
4.5.2	RF モジュールにおける ESD 対策事例.....	169
5	コンポーネントレベル ESD 保護設計と基盤・モジュールレベル ESD 保護設計への影響.....	172
5.1	コンポーネントレベル ESD とシステム（基盤・モジュール）レベル ESD.....	172
5.2	コンポーネントレベル ESD 保護設計と TLP 特性の注意点.....	172
5.2.1	コンポーネントレベル ESD 規格.....	172
5.2.2	ESD 設計 Window .....	173
5.2.3	TLP (Transmission Line Pulse) .....	174
5.2.4	TLP 特性データの注意点.....	175
5.2.5	コンポーネントレベル ESD 保護手法の変遷.....	176
5.2.6	ESD 保護回路のトリガ方式の違いと特徴.....	177
5.2.7	RC 過渡トリガ方式 ESD 保護回路の TLP 特性と実動作例.....	177
5.3	システムレベル ESD 保護設計への影響.....	178
5.3.1	システムレベル ESD 規格.....	178
5.3.2	SEED (System-Efficient ESD Design) .....	178
5.3.3	IC 内部保護素子がスナップバック特性をもつケース.....	181
5.3.4	IC 内部保護素子が RC 過渡トリガ型アクティブクランプのケース.....	183
5.4	まとめ.....	184
6	ESD 流入による誤動作現象.....	185
6.1	簡易誤動作基板による分析 .....	185
6.2	誤動作現象分析とシミュレーションモデル検討.....	186
6.2.1	はじめに .....	186
6.2.2	課題 .....	186
6.2.3	誤動作モデルを用いた ESD シミュレーション .....	186
6.2.3.1	ESD シミュレーションフロー .....	186
6.2.3.2	TLP による誤動作再現 .....	187
6.2.3.3	IC 誤動作モデル .....	188
6.2.4	解析事例(A)エネルギー要因の誤動作閾値 .....	188
6.2.4.1	誤動作現象 .....	188

6.2.4.2	誤動作閾値作成 .....	189
6.2.4.3	ESD シミュレーションの活用 .....	191
6.2.5	今後の取り組み .....	191
6.2.6	まとめ .....	191
7.	静電気放電発生箇所可視化技術 .....	193
7.1	はじめに .....	193
7.2	可視化技術の概要 .....	193
7.2.1	システム構成 .....	193
7.2.2	放電箇所検出手法(双曲線法).....	194
7.2.3	マーキング位置の調整方法 .....	195
7.2.4	本装置で得られる情報 .....	196
7.3	試作した検証装置と模擬試験環境.....	197
7.3.1	模擬放電源を用いた可視化実験例.....	197
7.4	実環境での可視化事例 .....	199
7.5	短時間に多数の ESD が生じる事例へ対応する手法の検討及び実験 .....	200
7.5.1	模擬信号源での検出性能評価.....	200
7.5.2	模擬信号源での検出性能評価結果.....	201
7.6	短時間多発 ESD 現象の可視化事例 .....	202
7.7	使用可能な DSO の下限性能の検討.....	204
7.7.1.	サンプリング速度の制限に伴う算出誤差の影響を軽減する手法について .....	205
7.8	まとめ .....	209
8.	まとめ .....	210
附録 A.	表面電位分布測定による静電気の可視化技術[1].....	211

## 1. まえがき

一般財団法人日本電子部品信頼性センター(RCJ)は、2017年、基板・モジュール状態での静電気障害分析及び静電気対策を調査、研究する技術専門委員会設立を企画、2018年度に設置する。以後、現在まで各専門委員によって、文献調査、報告書の技術的検討、実験的検証等を中心に研究調査活動を実施し、毎年RCJ EOS/ESD/EMC シンポジウム技術説明セミナーを実施してきた。

2018年度、2020年度は、コンポーネントレベルへのESDモデル、ESD耐性試験標準、ESD取り扱い対策標準、あるいは電子システムレベルへのESD Immunity 試験標準(IEC61000-4-2)等がすでに構築されているのに対し、部品搭載プリント基板、モジュールにおけるESD試験方法、ESD取り扱い対策、システム搭載ESD保護設計手法等の標準化等はされていないので、帯電ボードイベント(CBE)の文献調査、実際の工程調査、及び人体金属モデル(HMM)によるSEED保護等の検討から始め、報告書としてまとめた。(R-30-M-01 H30年度)

さらに、2022年度においては、半導体デバイスESD保護開発専門家、基板ESD保護開発専門家等を委員として迎え、先端の被保護デバイスとなるLSI半導体内ESD保護回路設計の変化に対応した、CBE耐性向上及びHMM耐性向上対応の基板上ESD保護ハーモナイズ設計の検討を中心に活動を実施した。(2022年度報告書：R-2022-M-01)

今年度(2024年度)は、静電気放電研究、放電現象可視化研究などの専門家を公的機関から委員として迎え、CBE耐性向上設計、先端LSIのESD保護回路との基板ハーモナイズESD保護設計等のさらなる検討に加え、今後のデバイス構造、プリント基板構造の変化に対する対応、分析を活動として実施した。これらの検討内容などを2024年度報告書としてまとめたものである。この分野でご活躍なされている皆様の一助になれば幸いです。