2026第36回　RCJ信頼性シンポジウム

（「EOS/ESD/EMCシンポジウム」、「電子デバイス・電子部品の信頼性シンポジウム」）

日時：　2026年12月1日（火）～12月2日（水）　　**開催場所：日本教育会館　8階会議室**

日時	12月1日（火）	12月2日（水）	
項目	EOS/ESD/EMC シンポジウム 優秀論文等表彰式	EOS/ESD/EMC シンポジウム	電子デバイス・電子部品の信頼性 シンポジウム 信頼性セミナー
会場	8階　第二会議室	8階　第二会議室	8階　第三会議室
午前	(9:30～9:45) 「開会挨拶」 (9:45～11:50) 「デバイス、測定、イミュニティ」	(9:20～11:00) 「静電気対策」 (11:10～12:00) 「招待講演」-6	(10:15～11:45) 「故障解析、デバイスの信頼性」
昼	(11:55～12:10) 優秀論文等表彰式 (12:10～13:00) 休憩	(12:00～13:00) 休憩	(11:45～13:00) 休憩
午後 前半	(13:00～14:15) 「招待講演」-1,-2	(13:00～15:10) 「基板・モジュールの静電気対策」 セミナー(1)(2)(3)	(13:00～17:15) 「信頼性セミナー」 -パワー半導体技術と信頼性、圧電デバイスの基礎と信頼性、及びリチウムイオン2次電池の品質・信頼性-
午後 後半	(14:20～15:10) 「招待講演」-3 (15:20～17:10) 「招待講演」-4,-5	(15:20～17:30) 「基板・モジュールの静電気対策」 セミナー(4)(5)(6)	
夜	(17:20～19:00) 情報交換会（軽食・ドリンク付き） 9 階　宴会場（松の間）		
展示会	(10:00～17:00) （8階　第一会議室） ESD関連装置の展示及びESD対策技術ワークショップ	(10:00～17:00)　（8階　第一会議室） ESD関連装置の展示及びESD対策技術ワークショップ	

主　　催　一般財団法人　日本電子部品信頼性センター
協　　賛　一般社団法人　電子情報技術産業協会　　一般社団法人　日本電機工業会　　一般社団法人　電子情報通信学会
(順不同)　一般社団法人　日本電気計測器工業会　　一般財団法人　日本規格協会　　一般社団法人　電気学会
一般社団法人　日本電子回路工業会　　一般財団法人　日本科学技術連盟　　一般財団法人　静電気学会
一般財団法人　光産業技術振興協会　　一般社団法人　情報通信ネットワーク産業協会　　日本信頼性学会
IDEMA　JAPAN

シンポジウムの概要

RCJ信頼性シンポジウムは、電子部品、電子デバイス、電子機器等の設計・開発技術者、信頼性技術者、生産技術者を対象に、信頼性及びESDという共通のテーマで論文発表・討論しあい、より進歩した信頼性向上技術、ESD障害対策技術等の分野での発展に寄与することを狙いとしています。本シンポジウムは、静電気関連問題を中心に扱う"EOS/ESD/EMCシンポジウム"、及び電子デバイス・電子部品の信頼性問題を中心に扱う"電子デバイス・電子部品の信頼性シンポジウム"から構成されており、今年で36回目を迎えます。

今年度のEOS/ESD/EMCシンポジウムでは、海外から3名、国内からも3名の招待講演者を迎え、チップレット等の最新技術とESD問題についてご講演いただきます。そのほか、従来からのテーマである「ESD対策、システム・デバイス試験、イミュニティ」に関する各セッションを実施し、加えて「基板・モジュールの静電気対策」に関するセミナーを開催します。

電子デバイス関係では、3件の一般講演があり、RCJが運営してる故障物理委員会メンバーによる「**信頼性セミナー**」を開催します。

また、**シンポジウム会場と同じフロア**で、静電気（ESD）対策用資材、計測・評価試験装置及び故障解析技術サービス等をテーマとした"**信頼性・ESD対策技術展示会**"及びESD対策技術ワークショップを同時開催します。なお、今年は会場が例年の大田区産業プラザから「**日本教育会館**」に変更となっていますので、ご注意ください。常日頃、この分野でご活躍の皆様の多数のご参加をお待ちしております。

（2026.11.13）

本内容は今後変更になる可能性があります。RCJ ホームページ（http://www.rcj.or.jp）で随時ご確認願います。

第36回 EOS/ESD/EMCシンポジウム プログラム

開催日： 2026年12月1日（火） 9：30～17：10
会　場： 日本教育会館 8階 第二会議室

（9:30~9:35）	「開会の挨拶」	（一財）日本電子部品信頼性センター
（9:35~9:45）	「今年度のEOS/ESD/EMCシンポジウムについて」	**鈴木 輝夫**（(株) ソシオネクスト）

セッション名：「デバイス、測定、イミュニティ」 司会：小山 明（ソニーセミコンダクタソリューションズ(株)）、
石塚 裕康（YITOAテクノロジー（株））

（9:45~10:10） 36E-01

「CBE試験時の、プリント基板上のパターン差による、放電波形とIC破壊についての考察」

澤田 真典、三浦 秀明、坂下 雄大（阪和電子工業(株)）

近年、半導体をアッセンブリしたボードやモジュールにおける、静電気による破壊現象が多くなってきている。
CBE試験は、決まった試験方法がなく、一般的には、CDMと同等の試験を行うことがある。
過去に、澤田らの報告で、複数種類の上下2層のユニバーサル基板にICを実装し、波形と破壊モードの確認を行った。しかしながら、近年のプリント基板は、内層が含まれた物が多く採用されている。今回、過去の試験で使用した基板サイズと同等サイズの内層2層のプリント基板を作製し、波形と破壊の試験結果を報告する。

（10:10~10:35） 36E-02

「複数の誤トリガ防止機構およびESD印加時の安定動作を実現した電源ESD保護回路」

伊藤 将来, 大坂 真野, 清水 優（キオクシア(株)）

従来の電源保護回路には、電源立ち上げ時の誤トリガや誤動作によるリーク電流増加の課題があった。本Paperでは、電源保護回路に以下の3機能を追加することによりESD耐性と通常動作時の低リーク電流を両立し、高集積メモリLSI信頼性を向上した。
（1）電源立ち上げとESDの識別機能
電源立ち上げ時の緩やかな電圧上昇と、ESD印加時の急峻な電圧上昇を判別する検出回路を導入した。これにより、通常動作時はOFFを維持し、ESD時のみ高速にONすることでリーク電流を低減した。
（2）ノードバイアス機能
OFF状態では内部ノードを意図的にOFF側へバイアスし、ノイズや電位浮き上がりによる誤動作を防止することで、OFFリーク電流を低減した。
（3）2nd Peak抑制機能
ESD印加中に保護回路を安定してON状態に維持するフィードバック機構を追加し、クランプ電圧上昇を伴う2nd Peak現象を抑制してESD耐性を向上した。

（10:35~11:00） 36E-03

「TVSダイオードとMLCCを組み合わせたESD保護回路の動作特性」

チン ジュンコウ, 吉田 孝博（東京理科大学）

電子機器には静電気放電(ESD)による誤動作や素子破壊を防ぐための保護回路が重要であるが，ESD保護素子の動作は，素子そのものの特性だけでなく，実装先のインピーダンスや接地状態によっても変化する。そこで本研究では，DUTのインピーダンスや接地状態による，TVSダイオードとMLCCを組み合わせたESD保護回路の動作特性の違いを，MLCCの静電容量，DUTのインピーダンス，接地状態，および素子の配置順序を変化させて，ESDガンでESDを印加した際の電圧波形をオシロスコープと差動プローブで実測することで調査した。その結果，TVSダイオードとMLCCを組み合わせたESD保護回路では，DUTのインピーダンスや接地状態によって保護特性が変化することを確認した。

（11:00~11:25） 36E-04

「小容量静電気放電の放電電流波形と電磁波波形の関係性」

中 隆志[1], 島田 陽平[1], 塩路 拓也[1], 尾前 宏[2]

（阪和電子工業株式会社[1]，鹿児島県工業技術センター[2]）

電子関連企業の製造現場等で生じる静電気放電トラブルに対応するため、鹿児島県工業技術センターの特許を活用し、従来の放電検知器では困難であった『放電源の座標特定』、『放電現象発生時の状況記録』が可能な装置を同センターと共同開発した。本装置は、放電時に生じる電磁波を受信する4本の受信アンテナと装置前方を常時撮影するCCDカメラを備えている。放電源をCCDカメラ画像上にマーキングし、位置特定と可視化を実現することが本装置の特徴である。チップレットデバイス組立て時を想定した小容量の静電気放電について、放電電流波形と放電時に生じる電磁波の関係性について報告する。

(11:25~11:50)	36E-05	**「移動する帯電体の静電気放電」** **大津　孝佳**（東京理科大学/沼津工業高等専門学校） 近年、電子デバイスの小型化・高性能化に伴い静電気耐力が低下している。このような状況で、電子デバイスは自動運転やAIによる制御などあらゆる分野で用いられている。またモバイル機器をはじめ、自動車や航空機など、グランドに接続されず移動する帯電体の静電気放電による電子デバイスの破壊や誤動作が懸念されている。そこで、本研究では移動する帯電体として、航空機に着目し、テクノホライゾン株式会社製の超高感度紫外線カメラを用いてディスチャージャーに生じるコロナ放電の放電エネルギーを計測した。また、精工技研株式会社製の光電界センサを用いてコロナ放電時に放射される電磁波強度の測定を行った。
第35回RCJ信頼性シンポジウム優秀論文賞等表彰式　(11:50~12:10)		
挨拶　**木村　忠正　（電気通信大学名誉教授　RCJ信頼性シンポジウム運営委員長）**		
木村　忠正　（電気通信大学名誉教授　RCJ信頼性シンポジウム運営委員長） ＜優秀論文賞＞ **「2.5D/3D IC設計のESD検証課題に対する新しい方法論」** **山崎　博孝、大久保　和哉、鈴木　輝夫**　（(株) ソシオネクスト） ＜奨励賞＞ **「電荷制御されたCO_2水を用いた二流体スプレー洗浄によるSiO_2ウェハ表面電位の抑制」** **渡部　一哲[1], 伊藤　康生[1], 森　竜雄[1], 一野　祐亮[1], 田岡　紀之[1], 清家　善之[1, 2]** （愛知工業大学[1]、la quaLab合同会社[2]）		
休憩（12:10~13:00）		
セッション名：招待講演-1　**司会：　鈴木　輝夫**（(株) ソシオネクスト）		
(13:00~13:45)	招待-1	**2024　USA Best Paper** **「In-situ ESD current sensing in a pick and place machine」** ○**Ellen Merkel (1)*, Heinrich Wolf (1), Horst Gieser (1)** (*現所属：Infineon, (1) Fraunhofer EMFT, Hansastr. 27 d, 80686 Munich, Germany) This paper presents a method to measure current discharge directly in an assembly machine. Pre-tests with a multi-purpose current monitor are performed to show the general principle of the method. Furthermore, a novel current sensor is introduced, which can be installed directly into a manufacturing machine. Results from laboratory experiments and measurements in a state-of-the-art assembly machine show the capability of the method to improve and compare assembly machines as well as help to establish the link between voltages and currents.
セッション名：招待講演-2　**司会：　伊藤　将来**（キオクシア(株)）		
(13:45~14:15)	招待-2	**2025 RCJ EOS/ESD/EMCシンポジウム優秀論文** **「2.5D/3D IC設計のESD検証課題に対する新しい方法論」** **山崎　博孝、大久保　和哉、鈴木　輝夫**　（(株) ソシオネクスト） 2.5D/3D-ICのESD検証では、従来の2D-ICと比較して検証の複雑化やコスト増大が課題となる。 本研究では、大規模な2.5D-ICを対象に、検証の複雑性低減と2つの処理の自動化により、ESD検証コストを改善した検証環境を構築した。具体的には、マイクロバンプ間に存在する多数の抵抗チェックに対し、セル配置情報とバンプ位置情報を用いて最適な組み合わせをプログラムにより自動抽出することで、検証時間を大幅に短縮した。さらに、抵抗チェック結果をマッピングして可視化することで、レイアウト上の弱点を容易に特定できるようになり、修正工数の削減を実現した。
休憩（14:15~14:20）		
セッション名：　招待講演-3　**司会：奥島　基嗣**　（ルネサスエレクトロニクス(株)）		
(14:20~15:10)	招待-3	**「Latchup Exploration in Design-Technology and System-Technology Co-Optimization scaling era」** **Kateryna Serbulova**（IMEC） Advanced technologies drive the semiconductor industry by increasing functionality within the same chip area. Higher compute performance requires several scaling

		approaches. Device scaling can be achieved through new channel materials and architecture innovations enabled by design-technology co-optimization, such as complementary field-effect transistors (CFETs). Another option is the Backside Power Delivery Network (BS-PDN), which can separate signal and power routing and reduces parasitics. Scaling at the system level, referred to as system-technology co-optimization (STCO), further enhances chip functionality. Latchup (LU) remains a major high-current reliability issue in CMOS technologies, where activation of a parasitic thyristor path can degrade chip performance. Although well known in mature technologies, LU has not been thoroughly investigated for BS-PDN options. This study presents detailed measurement and simulation results for LU in BS-PDN technologies, including wafer thinning, buried power rails (BPR), and active backside contacts. Finally, LU behavior at cryogenic temperatures, an important STCO application, is studied.
休憩（15:10~15:20）		
セッション名： 招待講演-4 司会： 徳永 英晃（阪和電子工業(株)）		
（15:20~16:10）	招待-4	**「ESDによる電磁妨害波の過渡特性とその特異性」** **川又 憲**　（東北学院大学 工学部・電気電子工学科） ESD（静電気放電: Electrostatic Discharge)による過渡現象は非常に高速で広帯域な周波数成分を有し，これに伴って発生するインパルス性の電磁波は，電気・電子機器の誤動作や故障，さらに情報信号の誤処理を引き起こす電磁妨害波源となる。一方で，近年の情報通信システムでは電子部品の小型化，高密度化さらには情報信号の低レベル化や高速化により，ESDによるインパルス性電磁ノイズの影響を受けやすい傾向にあるため，EMC(電磁両立性: Electromagnetic Compatibility)の観点から大きな問題となっている。しかし，ESDによって引き起こされる電磁ノイズの特性については未だ不明瞭な点が多く，現象究明に向けて放電パラメータと電磁ノイズ特性の関係究明や電磁波放射機構の解明，さらには励振電流値等の放射パラメータ等について定量化が必要である。 本講演ではEMC研究の立場から，ESDによる電磁妨害波の過渡特性の把握とその特異性について解説する。まず，①GHz帯域を超えるESD過渡現象の測定法とその過渡特性について述べ，次に②ESDインパルス電磁波の特異性についていくつかの検討結果を交えて解説する。さらに，③ESDの放電パラメータと放射電磁波特性の関係について，今のところ明らかになっている事象について説明する。
休憩（16:10~16:20）		
セッション名： 招待講演-5 司会： 澤田 真典（阪和電子工業(株)）		
（16:20~17:10）	招待-5	**「The Future of ESD Protection in Advanced Semiconductor Technologies」** **Marko Simicic**（IMEC） Emerging semiconductor technologies are reshaping the implementation of electrostatic discharge protection. Future integrated systems are expected to rely on heterogeneous integration, chiplet architectures, advanced packaging, backside power delivery networks, optical interfaces, and novel transistor structures. While these developments enable continued scaling and performance improvements, they also challenge traditional ESD design methodologies. This presentation discusses key technology trends and their implications for ESD protection. Examples include nanosheet and complementary FET technologies, wafer thinning, photonic devices, and fine-pitch chip-to-chip interconnects. The combination of reduced silicon volume and increasingly constrained design margins requires new approaches to achieve robust ESD protection. Besides ESD protection, we also need to look more into ESD prevention during the manufacturing and assembly process flows. Specialized ESD control solutions are becoming increasingly important for success. The presentation provides an outlook on future ESD challenges and highlights possible technology developments that may influence ESD protection strategies in coming years.

17:20～19:00　情報交換会（軽食・ドリンク付き）：シンポジウム参加者は自由にご参加下さい。
会場： 日本教育会館 9階 宴会場（松の間）

開催日： 2026年12月2日（水） 9：20～17：30
会　場： 日本教育会館 8階 第二会議室

セッション名：「静電気対策」　司会：　佐土原　秀樹（東京電子交易(株)） **伊藤　将来**　（キオクシア(株)）、**若井　伸之**（東芝デバイス&ストレージ（株））		
（9:20~9:45）	36E-06	**「DLC皮膜の静電気スローディスチャージ特性の評価」** **小川　雄基、堂前　達雄、佐藤　剛、山本　修二**（日本コーティングセンター（株）） DLC（Diamond-like Carbon)皮膜は、微細なsp^3（ダイヤモンド構造）、sp^2（グラファイト構造）の混成組織により高硬度、低摩擦係数を持つ為、摺動部材の長寿命化、低発塵性を可能にするがESD特性についてはまだ調べられていない。本研究ではアルミナ基板上のDLC皮膜におけるESD特性を評価した。その結果、表面抵抗値:$10^8\Omega$の拡散抵抗領域、絶縁耐圧:約40 kV/mm、帯電減衰半減値:約1秒が得られ、DLC皮膜は半導体製造工程における低発塵性、耐ESD材料として有効である事が分かった。
（9:45~10:10）	36E-07	**「IPA二流体スプレー時の発生電流の把握」** **杉浦　浩太, 佐藤　純大, 森　竜雄, 一野　祐亮, 清家　善之**（愛知工業大学） 半導体洗浄で用いる二流体スプレーでは、液滴の生成や衝突に伴う帯電が静電気障害の要因となり得る。本研究では、純水とイソプロピルアルコール（IPA）の噴霧液滴をファラデーケージで捕集して電流を測定し、IPA噴射・乾燥後のSiO_2/Siウェハ表面電位を評価した。窒素流量30 NL/minで測定した電流は、純水では正極性の約5～12 nAであったのに対し、IPAではおおむね0～1.3 nAであった。IPA流量50 mL/minで5～60 s噴射した測定例では、各噴射時間ともウェハ中央断面のスプレー直下付近に負の表面電位が見られ、60 sで約−7.7 Vを示した。両者は異なる測定量であるが、IPA噴霧時の捕集電流が小さくても、噴射・乾燥後のウェハ上に局所的な負の表面電位が観測されることを確認した。
（10:10~10:35）	36E-08	**「MOSキャパシタを用いた純水二流体スプレー洗浄時の帯電特性の把握」** **佐藤 純大, 杉浦 浩太, 森 竜雄, 一野 祐亮, 竹内 和歌奈, 清家 善之** （愛知工業大学） 半導体デバイスの製造において、パーティクル除去を目的とする洗浄工程は歩留まりを左右する重要なプロセスである。中でも二流体スプレー洗浄は広く利用されているが、純水を用いた場合にはウェハ表面が帯電し、静電気障害（ESD）によるデバイス特性への悪影響が懸念される。そこで本研究では、純水二流体スプレー洗浄によるウェハ表面帯電と MOS キャパシタの電気特性との関係を明らかにすることを目的とした。具体的には、SiO_2/Si ウェハに対して表面状態に着目した二流体スプレー洗浄を行った。さらに、洗浄後のウェハに Al 電極を蒸着して MOS キャパシタを作製し、C–V 特性を評価した。その結果、疎水性ウェハ中心部で約−117 V の負の表面電位が確認され、同位置の C–V 曲線は周辺部と比較して大きく正のゲート電圧方向へシフトした。また、親水性ウェハでは約 1V の表面電位が確認され、同位置の C–V 曲線は正のゲート電圧方向へわずかにシフトした。したがって、表面帯電と MOS キャパシタの電気特性との関連が示唆された。
（10:35~11:00）	36E-09	**「CBE自動試験装置による静電気対策部材の静電気放電過渡特性分析」** **三浦 秀明[1]、 澤田 真典[1]、 鈴木 輝夫[2]、 山口 晋一[3]、川村 智紀[4]、** **板垣 達也[5]、 福田 保裕[6]** （春日電機(株)[1]、阪和電子工業(株)[2]、シシド静電気(株)[3]、ミドリ安全(株)[4]、 (株)東芝[5]、ESDコンサルタント[6]） 現在、IEC61340-2-3にて規定されている静電気対策部材抵抗測定法（静的特性）は、静電気放電時における対策部材の電流抑制能力（動的特性）を正確に反映できないという問題があった。本報告では、過渡特性を抽出するIEC 61340-2-4 CD提案の誘導法に基づき、自動CBE試験装置を用いた各種静電気対策部材の放電電流特性を評価・分析した結果について述べる。
休憩（11:00~11:10）		
セッション名：　招待講演-6　司会：　徳永　英晃（阪和電子工業(株)）		
（11:10~12:00）	招待-6	**「電子機器のESD障害メカニズムと医療機器の影響」** **石田　武志**（（株）ノイズ研究所） 帯電人体から発生するESDは電子機器および電子部品に誤作動、破壊などの重大な障害を引き起こす。この対策、評価を目的としたESD耐性評価の国際規格が存在するが、現実に発生するESD現象の全てを網羅できている訳ではない。規格で規定する接触放電、気中放電が規定された背景とその特性の違いを火花抵抗則を用いて理解し、その放電現象が電子機器に与える影響を考察した。人体に直接装着するウェアアラブル機器につ

		いても規格試験では対応できないESD現象となるためその概要を解説する。 　また医療機器においては、対応したESD試験の要求があり、その概要を解説する。さらに一般の電子機器とは異なる状況や現象についての実例と対策を紹介する。
休憩（12:00~13:00）		
セッション名：　「基板・モジュールの静電気対策」セミナー **司会：　福田 保裕**（RCJ基板・モジュール静電気対策委員会　委員長）		
（13:00~13:30）	セミナー1	**「基板・モジュール静電気対策委員会活動内容と今後の活動方針」** **福田 保裕**（RCJ基板・モジュール静電気対策委員会　委員長） 基板・モジュール静電気対策セミナーとして、2026年度のRCJ基板・モジュール静電気対策委員会活動方針及び具体的活動概要を紹介する。近年、LSI集積回路デバイスの微細化、高機能化だけではなく、IT技術向上のため膨大な記憶情報をもってきて処理することがシステムとして必要となってきている。そこで、最先端プロセス処理デバイスと多大な記憶素子デバイスを先端実装技術によって集積化するチップレット化技術が終急速な進展をしている。このような状況において、CBE(Charged Board Event),HMM(Human Metal Model)対応のハーモナイズE SEED(System Efficient ESD Design)設計及び製造、組立工程静電気管理技術のさらなる向上が求められている。そこで委員会本年度活動としてチップレット化するデバイス、製造工程における基板・モジュール静電気対策を目標とした。以下、セミナー項目では現状の関連技術について説明する。
（13:30~14:20）	セミナー2	**「ESD リスク低減に向けた管理基準と現場対策　～主要規格の国際比較と CBE 障害への対応～」** **板垣 達也**（（株）東芝 総合研究所 生産技術センター） 半導体デバイスの高集積化やグローバルサプライチェーンの拡大に伴い、製造現場ではESDリスクの更なる低減が求められている。本発表では、管理基準の観点から、日本、欧州、米国の主要なESD管理規格における要求事項を比較し、グローバルに共通する管理基準の構築に向けた課題を整理した。また、現場対策の観点から、基板実装工程で発生する帯電ボードイベント(CBE：Charged Board Event)による半導体デバイスの障害を取り上げ、その発生原因と具体的な対策事例を紹介する。管理基準と現場対策の両面から、製造現場におけるESDリスク低減に向けた取り組みを報告する。
（14:20~15:10）	セミナー3	**「チップレット製造における静電気障害」** **鈴木　輝夫**（春日電機(株)） チップレット製造工程での ESD 障害の発生事例についての紹介と、この ESD 障害の発生要因であるパッシェンミニマム以下の峡ギャップ（μm～nm）領域での静電気放電現象について解説する。
休憩（15:10~15:20）		
セッション名：「基板・モジュールの静電気対策」セミナー　－　後半 **司会：鈴木　輝夫**（（株）ソシオネクスト）		
（15:20~16:10）	セミナー4	**「基板・モジュールレベルでの耐 ESD 対策及び設計手法動向」** **宇佐美　志郎**（ヌヴォトン　テクノロジージャパン(株)） **徳永　英晃**（阪和電子工業(株)） 電子機器の高速化・高機能化に伴い、基板・モジュールレベルで発生するESD（Electrostatic Discharge）による破壊や誤動作への対策はますます重要となっている。一方で、実際の市場や製造現場では、従来のデバイスレベル評価だけでは捉えきれないシステムレベルESDやCBE（Charge Board Event）に起因する問題が顕在化している。本講演では、近年のEOS/ESD Symposiumをはじめとする最新論文や業界動向を概観するとともに、基板・モジュール設計における耐ESD向上のための設計手法を紹介する。 さらに、CBEを含む実機でのESD課題や評価・解析事例を取り上げ、TVSなどの保護部品と半導体内の保護回路を協調させた保護設計の考え方、部品配置や伝送路設計時の留意点について解説する。 　実際の適用事例を交えながら、今後の基板・モジュールレベルESD対策の方向性と実践的な設計アプローチを考察する。
（16:10~17:00）	セミナー5	**「コンポーネント/システムレベルの ESD 保護設計　SEED 協調設計の実践と CBE 障害へのアプローチ」** **星田　輝彦**　（ローム株式会社 LSI 開発本部） 半導体の微細化に伴いIC単体のESD耐量が低下する中、高信頼性が求められるシステムレベルESD保護には、IC・保護部品・PCB寄生成分を統合したSEED（System-Efficient ESD Design）協調設計が重要となる。本講演では、コンポーネントレベルとシステムレベルにおけるストレス挙動の違いやTLP特性の適用限界を整理し、過渡応答を考慮した協調設計アプローチを解説する。さらに、高密度多層基板の普及に伴い顕在化しているCBE（Charged Board Event）障害を取り上げ、その発生メカニズムと特性上の課題を明示する。これらを踏まえ、標準的な規格試験との相違点に着目した対策の方向性と、回路配線からコネクタ構造に至るシステム全

		体での総合的な解決策を提言する。
休憩（17:00~17:10）		
セッション名：「基板・モジュールの静電気対策」セミナー – まとめ **司会： 福田 保裕**（RCJ基板・モジュール静電気対策委員会 委員長）		
（17:10~17:30）	セミナー6	**「まとめとQ&A」** **講師全員**

＜参考：「基板・モジュールの静電気対策委員会の活動状況と発行資料」（https://rcj.or.jp/board-module）＞

第36回 電子デバイス・電子部品の信頼性シンポジウム プログラム

開催日： 2026年12月2日（水） 10：15～17：15

会 場： 日本教育会館 8階 第三会議室

セッション名：「故障解析、デバイスの信頼性」 司会： 門田 靖（内藤電誠工業（株））

（10:15~10:45） 36S-01

「GaNデバイス裏面に発生した白色欠陥の発生機構に関する検討 ― 腐食挙動とGaN断面のラマン分光評価 ―」

八巻 潤子[(a)]，前田 博[(a)]，前原 泰秀[(a)]，中村 裕之[(a)]、加藤 隆一[(b)]，岡田 耕作[(b)]（ルネサスエレクトロニクス株式会社[(a)]、レニショー株式会社[(b)]）

近年、電子デバイスの高密度化・高性能化に伴い、局所的な異常や微小領域に発生する不具合の解析が重要となっている。微小領域の形態および元素分析にはSEM/EDSやAESが広く用いられている一方、GaNではラマンピーク位置の変化を利用した局所的な応力状態の評価が報告されている。

本研究では、GaNデバイス裏面のTi/Ni/Agメタル上に発生した白色欠陥について、SEM/EDS、AES、断面観察およびラマン分光法による評価を行った。

その結果、外観上はいずれも白曇りとして観察される試料であっても、腐食性元素やNi/Ag膜の顕著な異常を伴わない事例と、Clの検出、Ni腐食およびAg膜変形を伴う事例が確認された。また、Ni/Ag膜の腐食・変形を伴う試料では、GaN断面から取得したラマンピーク位置分布にも局所的な変動が観察されたが、金属膜の腐食・変形位置との明確な対応関係は確認されなかった。

以上より、白色欠陥は外観上類似していても、その形成状態は必ずしも同一ではなく、単一の形成機構では説明できない可能性が示された。本発表では、これらの解析結果をもとに、白色欠陥の形成機構について考察する。

（10:45~11:15） 36S-02

「電気-光サンプリング技術を用いたTime Domain Reflectometry法による高密度半導体パッケージの故障解析」

前原 泰秀，岡 保志（ルネサスエレクトロニクス株式会社）

近年、LSIの高密度パッケージ化に伴い、従来のTDRでは故障位置の推定が困難になっている。本稿では、高い時間分解能を有する電気-光サンプリング技術を用いたTHz-TDRによる故障解析事例を紹介する。反射波のピーク位置および基準波形からの乖離開始位置を構造情報と対応付けることで、オープン故障位置を推定し、物理解析により妥当性を確認した。さらに、多数サンプルのTHz-TDR波形のばらつきを評価し、波形差と故障発生との相関に基づく故障リスク予測への応用可能性について検討した。

（11:15~11:45） 36S-03

「SiC MOSFETのAC-BTIによるVth変動ばらつきに関する考察」

武井 康平[1]，岸上 英也[1]，瀬戸屋 孝[2]

（沖エンジニアリング株式会社[1]，一般財団法人 日本電子部品信頼性センター[2]）

SiC MOSFETは高効率なパワー半導体として期待される一方、スイッチングに伴うACストレスにより、しきい値電圧が変動するAC-BTIが信頼性上の課題となる。今回、ベンダーの異なる市販SiC MOSFET 6製品(各20個)に対してAC-BTI試験を行い、Vth変動と個体間ばらつきの推移を評価した。その結果、Vthの変動量、ばらつきおよび分布形状の変化には製品差が認められ、より長期のVth変動を予測する際には、平均的な変動だけでなく、個体間ばらつきや分布形状の変化も考慮する必要性が示唆された。

信頼性セミナー

「-パワー半導体技術と信頼性、ゲート酸化膜のTDDBの寿命予測モデルの考察、Li電池を使用した機器の安全設計、及び次世代エナジーデバイスの役割と信頼性-」

開催日：　2026年12月2日（水）　１３：００～１７：１５

会　場：　日本教育会館　8階　第三会議室

司会：　**塩野　登**　（RCJ）		
(13:00~13:15)	**「故障物理委員会活動状況」**	**木村　忠正**（故障物理委員会委員長　電気通信大学）
(13:15~14:00)	**「高誘電率ゲート絶縁膜の適用による高性能、高信頼性SiCパワーMOSFET」**	**木村　忠正**（故障物理委員会委員長　電気通信大学）
(14:00~14:45)	**「SiC MOSFETの信頼性試験国際規格動向（update）」**	**瀬戸屋　孝**（RCJ）
(14:45~15:00)	休憩	
司会：　**木村　忠正**（故障物理委員会委員長、電気通信大学）		
(15:00~15:45)	**「ゲート酸化膜のTDDBの寿命予測モデルの正当性とそれに対する考察」**	**門田　靖**（内藤電誠工業（株））
(15:45~16:30)	**「Li電池を使用した機器の安全設計について（回路、構造、工程）」**	**和田　哲明**（品質技術実践研究所）
(16:30~17:15)	**「2050年カーボンニュートラルに向けたエナジーデバイスの役割と信頼性」**	**横川　慎二**（電気通信大学）

（注：　テーマ名等が変更になる場合があります）

＜要旨＞

RCJが主催する故障物理委員会では、半導体デバイス技術における信頼性と故障物理に焦点を当て、調査研究を行っています。今回の信頼性セミナーでは、従来のパワー半導体技術と信頼性に加え、ゲート酸化膜のTDDBの寿命予測モデルの再見直し、リチウムイオン二次電池の品質と信頼性、次世代エナジーデバイスと信頼性等を取り上げ調査研究を進めています。

まず、実用化が進んでいるSiCでは、さらに高性能化を狙った高誘電率ゲート絶縁膜の開発が進んでいます。そのメリットや信頼性への影響等について報告します。続いて、SiCパワーMOSFETの信頼性試験に関する国際規格の開発状況を解説します。SiC/SiO_2界面特性はSi/SiO_2界面に比べて複雑な欠陥挙動を示し、構造や製造方法の違いにより、同じ性能を持つデバイスでも異なる信頼性を示すことがあります。そのため、標準化された信頼性試験による評価の確立が不可欠であり、国際規格の整備は国益にも直結する重要な課題となっています。

さらに、本委員会では、世代が古い技術の故障物理の見直しも一つのテーマにしています。今回は、ゲート酸化膜のTDDBの寿命予測モデルを取り上げ、予測モデルの妥当性について議論します。

また、幅広い分野で大量に使用されるとともに、安全性の観点でも注目されているリチウムイオン二次電池を使用した機器の安全設計について、長年この分野に携わってきた専門家より解説いただきます。

最後に、次世代のカーボンニュートラルに向けたエナジーデバイスの役割と信頼性について解説します。

本セミナーは、LSI信頼性分野を中心に、現在ホットなトピックを幅広く取り上げています。半導体デバイスの信頼性に携わる方はもちろん、関連する幅広い分野の皆様のご参加をお勧めします。

＜参考：「故障物理研究員会の活動状況と発行資料」（https://rcj.or.jp/committee-failurephysics）＞

信頼性・ESD 対策技術展示会（無料）

（静電気障害対策技術及び ESD 故障解析技術を扱う専門の展示会）

静電気の影響を受けやすい電子デバイス・部品、電子機器などを扱う信頼性技術者、設計技術者、品質技術者の方々を対象に、より進歩した静電気障害対策技術、静電気測定技術、故障解析技術を扱う専門の展示会です。この分野の専門メーカが展示しますので、最新の技術情報収集のためにも是非お立ち寄り下さい。

期日： 2026 年 12 月 1 日（火）～12 月 2 日（水）： 10:00～17:00

会場： 日本教育会館 8 階 第 1 会議室

主催： （一財）日本電子部品信頼性センター

同時開催： **ESD 対策技術ワークショップ（無料）**

同会場内特設会場にて（プログラムの詳細：RCJ ウエブ（**https://rcj.or.jp/exhibition**）参照）

出展社名

株式会社いけうち 〒108-0022 東京都港区海岸3-9-15 LOOP-X 14階 TEL : 03-6400-1973 E-mail : dryfog@kirinoikeuchi.co.jp URL ：https://www.kirinoikeuchi.co.jp/	**株式会社エイチエーエー光学** 〒142-0062 東京都品川区小山1-1-4 TEL ： 03-6417-4895, E-mail:mizorogi@haa-op.com URL: https://www.haa-op.com
OKIエンジニアリング 〒179-0084 東京都練馬区氷川台3-20-16 TEL ： 03-5920-2366, E-mail:oeg-dsales-g@oki.com URL: http://www.oeg.co.jp	**春日電機株式会社** 〒212-0032 神奈川県川崎市幸区新川崎2番4号 TEL: 044-580-3511, E-mail: info@ekasuga.co.jp URL: http://www.ekasuga.co.jp
シシド静電気株式会社 〒150-0012 東京都渋谷区広尾5-8-14 いちご広尾ビル9階 TEL ： 03-6432-5771（代） E-mail: info@shishido-esd.co.jp URL ：http://www.shishido-esd.co.jp	**テク・トライアングル** 〒299-4111 千葉県茂原市萱場776-58 TEL: 0475-36-7037 E-mail: suzuki.tech-triangle@chiba.email.ne.jp URL: http://www.tech-triangle.jp
DESCO JAPAN株式会社 〒289-1115千葉県八街市八街ほ661-1 Tel: 043-309-4470、 E-Mail ： Yuta.Takahashi@Desco.com URL: http://www.descoasia.co.jp/	**東京電子交易株式会社** 〒190-0023 東京都立川市柴崎町5-16-30 TEL: 042-548-8011, E-mail: sadohara@tet.co.jp URL: http://www.tet.co.jp
阪和電子工業株式会社 〒649-6272 和歌山県和歌山市大垣内689-3 TEL: 073-477-4435, E-mail: y-yata@hanwa-ei.co.jp URL: http://www.hanwa-ei.co.jp	**ミドリ安全株式会社** 〒150-8455 東京都渋谷区広尾5丁目4番3号 TEL: 03-3442-8244, FAX: 03-3444-4508 URL: http://www.midori-esd.jp

★詳細は別途案内状をご覧下さい。（RCJ ホームページ（https://rcj.or.jp/exhibition）に掲載しています）。

＜参加要領＞

参加区分（開催日）	テキスト	定員	参加費（消費税抜き）（円）	
			RCJ賛助会員 ESDC 協賛団体会員	非会員
① 12月1日､2日: （2日間）	RCJ信頼性シンポジウム発表論文集 （EOS/ESD/EMCシンポジウム、電子デバイス・電子部品の信頼性シンポジウム） （注：両方のシンポジウムの聴講可能）	各会場 100名	25,000	32,000
② 12月1日:(1日間)			17,000	22,000
③ 12月2日:(1日間)			17,000	22,000

申 込 先： （一財）日本電子部品信頼性センター
〒111-0043 東京都台東区駒形2-5-6 カミナガビル3F
E-mail: symp@rcj.or.jp、TEL：03-5830-7601、FAX：03-5830-7602、

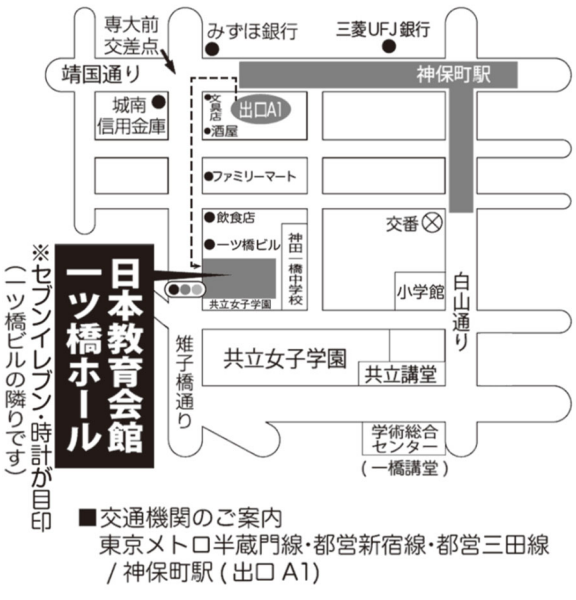
申込締切: 11月24日（火）

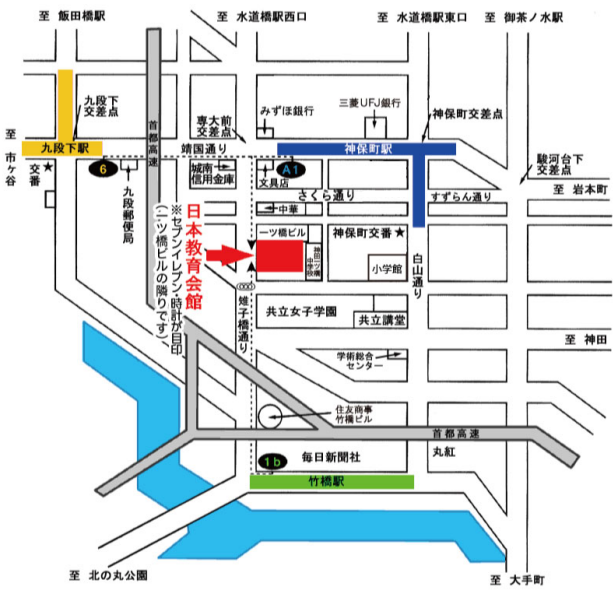
申込方法： ホームページのフォーム https://rcj.or.jp/symposium-application よりお申し込み下さい。
参加申込者には、参加券等をお送りします。シンポジウム発表論文集は会場渡しの予定です。

振込銀行 三菱UFJ銀行、日本橋中央支店、普通預金口座 0084373

口座名： 名義：（一財）日本電子部品信頼性センター
注）費用の振り込み予定日は、貴社の都合に合わせて頂いて結構です。また、不明の場合は空欄で結構です。

◆会場ご案内





会場： 日本教育会館 8階会議室（http://www.jec.or.jp/）
〒101-0003 東京都千代田区一ツ橋2-6-2
最寄駅： ・ 地下鉄都営新宿線・東京メトロ半蔵門線神保町駅（A1出口）下車徒歩3分
・ 地下鉄都営三田線神保町駅（A1出口）下車徒歩5分