

# 2024第34回 RCJ信頼性シンポジウム

(「EOS/ESD/EMCシンポジウム」、「電子デバイス・電子部品の信頼性シンポジウム」)

日時： 2024年11月7日 (木) ～11月8日 (金)

開催場所： 大田区産業プラザ

日時	11月7日 (木)		11月8日 (金)	
項目	EOS/ESD/EMC シンポジウム 優秀論文等表彰式	(別プログラム)	EOS/ESD/EMC シンポジウム	電子デバイス・電子部品の 信頼性シンポジウム 信頼性セミナー
会場	4階コンベンションホール		4階コンベンションホール	
	A会場	B会場	A会場	B会場
午前	(9:30～9:45) 「開会挨拶」 (9:45～10:35) 「イオナイザー、静電気対策」 10:45～12:00 「デバイス・測定」	ESDコーディネータ大会 ( <a href="https://rcj.or.jp/esd-convention">https://rcj.or.jp/esd-convention</a> )	(9:30～10:15) 「基板・モジュールの静電気 対策」セミナー(1) (10:25～12:00) セミナー(2)	(10:15～11:45) 「故障解析、装置及び デバイスの信頼性」
昼	(12:00～12:10) 優秀論文等表彰式 (12:10～13:00) 休憩		(12:00～13:00) 休憩	(11:45～13:00) 休憩
午後 前半	(13:00～14:15) 「招待講演」-1,-2		(13:00～14:30) セミナー(3)	(13:00～17:15) 「信頼性セミナー」
午後 後半	(14:25～15:55) 「招待講演」-3,-4 (16:05～17:45) 「イミュニティ」		(14:40～15:00) セミナー(4) (15:10～15:55) 「招待講演」-5 (16:10～17:10) 「Tutorial」	-SiCパワー半導体の信頼性 及び最先端LSIの信頼性-
夜	(17:50～19:30) 情報交換会 (軽食・ドリンク付き) 4階コンベンションホール ロビー (ホワイエ)			
展示会	(10:00～17:00) (2階小展示ホール) ESD関連装置の展示及びESD対策技術ワークショップ		(10:00～17:00) (2階小展示ホール) ESD関連装置の展示及びESD対策技術ワークショップ	

主催 一般財団法人 日本電子部品信頼性センター  
 協賛 一般社団法人 電子情報技術産業協会 一般社団法人 日本電機工業会 一般社団法人 電子情報通信学会  
 (順不同) 一般社団法人 日本電気計測器工業会 一般財団法人 日本規格協会 一般社団法人 電気学会  
 一般社団法人 日本電子回路工業会 一般財団法人 日本科学技術連盟 一般財団法人 静電気学会  
 一般財団法人 光産業技術振興協会 日本信頼性学会  
 IDEMA JAPAN

## シンポジウムの概要

RCJ信頼性シンポジウムは、電子部品、電子デバイス、電子機器等の設計・開発技術者、信頼性技術者、生産技術者を対象に、信頼性及びESDという共通のテーマで論文発表・討論しあい、より進歩した信頼性向上技術、ESD障害対策技術等の分野での発展に寄与することを狙いとしています。本シンポジウムは、静電気関連問題を中心に扱う「EOS/ESD/EMCシンポジウム」、及び電子デバイス・電子部品の信頼性問題を中心に扱う「電子デバイス・電子部品の信頼性シンポジウム」からなっており、今年で34回目を迎えました。

コロナの影響が収まったことから、EOS/ESD/EMC関係では、海外招待者を3名お招きすることができました。その他、従来からのテーマである「ESD対策、システム・デバイス試験、イミュニティ」に関する各セッションがあり、また「基板・モジュールの静電気対策」セミナーを開催します。

電子デバイス関係では、3件の一般講演があり、RCJが運営する故障物理委員会メンバーによる「信頼性セミナー (SiCパワー半導体と最先端LSIの信頼性)」を開催します。

また、同会場 2階の小展示場では、静電気 (ESD) 対策用資材、計測・評価試験装置及び故障解析技術サービス等をテーマとした「信頼性・ESD対策技術展示会」及びESD対策技術ワークショップを同時開催します。

日頃、この方面でご活躍の皆様の多数のご参加をお待ちしております。

(2024.9.27)

本内容は今後変更になる可能性があります。RCJ ホームページ (<http://www.rcj.or.jp>) で随時ご確認願います。

# 第34回 EOS/ESD/EMCシンポジウム プログラム

開催日： 2024年11月7日 (木) 9:30~17:45

会場： 4階コンベンションホール A会場

(9:30~9:35)	「開会の挨拶」	(一財)日本電子部品信頼性センター
(9:35~9:45)	「今年度のEOS/ESD/EMCシンポジウムについて」	鈴木 輝夫 ((株) ソシオネクスト)

セッション名：「イオナイザー、静電気対策」 司会：澤田 真典 (阪和電子工業(株))		
(9:45~10:10)	34E-01	<p><b>「交流コロナ放電方式バー型イオナイザの誘導電圧抑制と除電能力向上の検討」</b> 山口 晋一 (シッド静電気株式会社)</p> <p>コロナ放電式除電装置 (イオナイザ) は、静電気対策に広く用いられている。一般的に、求められる性能は、除電速度やイオンバランスである。近年、電子デバイスの静電気放電耐性の低下に伴いイオンバランスのピーク値に関心が高まってきている。特に、交流 (AC) 型イオナイザの高電圧部からの交流電界に起因する、誘導電位を低く抑える事が新たな要求事項と成る事が想定される。</p> <p>本稿では、交流 (AC) 型イオナイザに顕著にみられる、放電電極やイオナイザ本体から放出される交流電界の影響で生じる誘導帯電現象を、静電気拡散性領域材料 (表面抵抗値：4乗~11乗 Ω) で構成されたグリッドを放電電極近傍に設置し、本体へも同様の対策を講じ誘導電圧の緩和と、除電速度への影響についてその効果を観測し、前回の報告では±65Vであった誘導を含むイオンバランスを±13V程度まで改善し、除電時間も従来製品の半分以下にする事に成功した。</p>
(10:10~10:35)	34E-02	<p><b>「純水を用いた二流体スプレー時のSiO<sub>2</sub>ウェハの表面電位の解析」</b> 伊藤 康生 (愛知工業大学)</p> <p>半導体デバイスの製造において、パーティクル除去やレジスト剥離のために二流体スプレー洗浄が行われている。しかしながら、純水で二流体スプレー洗浄を行うとウェハ表面でESDが生じてしまう。そこで我々は純水で二流体スプレー洗浄をした時のSiO<sub>2</sub>ウェハの帯電現象の原因解析を行っている。二流体スプレーで純水洗浄した場合のSiO<sub>2</sub>ウェハ表面電位を測定し、洗浄時のSiO<sub>2</sub>ウェハの帯電は純水液膜とSiO<sub>2</sub>ウェハ間の摩擦帯電と分かったので報告する。</p>
休憩 (10:35~10:45)		
セッション名：「デバイス・測定」 司会：小山 明 (ソニーセミコンダクタソリューションズ(株))		
(10:45~11:10)	34E-03	<p><b>「CBE試験時の試験環境下における寄生容量についての考察」</b> 澤田 真典、三浦 秀明、坂下 雄大 (阪和電子工業(株))</p> <p>近年、半導体をアッセンブリしたボードやモジュールにおける、静電気による破壊現象が多くなってきている。CBE試験は、決まった試験方法がなく、一般的には、CDMと同等の試験を行うことがある。しかしながら、CBEが発生する組み立て工程が、CDM試験と同じ状況であるかは不明である。今回、CBEは様々な組み立て工程内で発生することから、それらの環境におけるGNDとの結合容量が違うことに着目し、JS-002のユニットから、放電電極のサイズを変えた時の放電波形について調査を行った。</p>
(11:10~11:35)	34E-04	<p><b>「ドイツにおける大電流TLP/VF-TLPによるESD保護ソリューション」</b> 長浜 竜 (岩崎通信機株式会社)</p> <p>欧州のデバイスメーカーで採用されているTLP/VF-TLP/HMMテストシステムは、回路、半導体デバイス、およびTVS、バリスタ、コンデンサなどのディスクリート部品の高電力時間領域での特性評価に特化しています。このシステムは、パルス動作モードにおける高電流I-V特性や安全動作領域 (SOA) などの解析方法を提供し、以下の機能について述べます。</p> <p>1.概要、2.キャリブレーション方法、3.標準的なTLP法、4.プロービング技術、5.高インピーダンスTLP 6.VF-TLP、7.SOA解析、8.HBM、9.CC-TLP</p> <p>このシステムは、製品の信頼性や性能評価において重要なツールとなります。</p>
(11:35~12:00)	34E-05	<p><b>「光電圧プローブの開発およびESD保護素子による電圧波形測定結果」</b> 大沢 隆二 (株)精工技研)</p> <p>我々は電気光学効果を持つ結晶素子に光導波路を形成した素子部と光ファイバによって構成され、レーザー光によって信号伝送を行う光電圧プローブを使用し、パッシブで非侵襲性の高い光電圧プローブを開発した。</p>

		本発表では、光電圧プローブの諸特性の報告を行い、更にそれを使用してESD保護素子として使用されているツェナーダイオード、バリスタ、並びにコンデンサーによって処理されたESD電圧波形の測定結果を報告する。
<b>第33回 R C J 信頼性シンポジウム優秀論文賞等表彰式 (12:00~12:10)</b>		
挨拶	木村 忠正 (電気通信大学名誉教授 R C J 信頼性シンポジウム運営委員長) 木村 忠正 (電気通信大学名誉教授 R C J 信頼性シンポジウム運営委員長)	
<b>&lt;優秀論文賞&gt;</b>		
「自動CBE試験装置による放電波形解析」 *澤田 真典、**福田 保裕、*三浦 秀明、*坂下 雄大 (*阪和電子工業株式会社 ** ESDコンサルタント)		
<b>&lt;奨励賞&gt;</b>		
「超高感度紫外線カメラを用いた放電エネルギー解析」 大津 孝佳 <sup>1</sup> 、○大畑 怜央 <sup>1</sup> 、位田 直弥 <sup>1</sup> 、押尾 利幸 <sup>2</sup> (沼津工業高等専門学校 <sup>1</sup> 、(株)ブルービジョン <sup>2</sup> )		
休憩 (12:10~13:00)		
セッション名：招待講演-1, 2      司会：鈴木 輝夫 ((株) ソシオネクスト)		
(13:00~13:45)	招待-1	<b>2021 USA Best Paper</b> <b>「Automotive High-Speed Interfaces: Future Challenges for System-level HV-ESD Protection And First-Time Right Design」</b> ○Sergej Bub, Markus Mergens, Andreas Hardock, Steffen Holland, Ayk Hilbrink (Nexperia Germany GmbH)  This paper describes future design challenges of discrete system-level ESD protection (high-voltage, low-capacitance) of automotive high-speed data links such as multi-gigabit ETHERNET and SERDES/videolinks. A special focus is put on an in-depth analysis and accurate modeling of the complex ESD behavior of the Common Mode Choke (CMC). Applied within a System Efficient ESD Design (SEED) simulation concept, this allows a detailed understanding of its multifaceted interaction with modern vs. standard ESD discrete components. As demonstrated for advanced data-link ESD protection requirements, this approach can provide important system optimization steps thus enabling frst-time-right ESD-RF co-design.
(13:45~14:15)	招待-2	<b>2023 RCJ EOS/ESD/EMCシンポジウム優秀論文</b> <b>「自動CBE試験装置による放電波形解析」</b> *澤田 真典、**福田 保裕、*三浦 秀明、*坂下 雄大 (*阪和電子工業株式会社 ** ESDコンサルタント)  近年、半導体をアッセンブリしたボードやモジュールにおける、静電気による破壊現象が多くなってきている。しかしながら、ボードやモジュール毎に、印加されるストレスの大きさや、破壊現象が異なっている。前回、CDM規格であるJS-002をベースとしたCBE装置を使用し、測定対象物であるモジュールの基板サイズや基板上のGNDパターンのサイズなど各種パラメータを変更し、放電波形について取得および解析を行った結果を報告した。今回は、放電波形についてさらに検証を行うため、シミュレーションによる再現を試みた。
休憩 (14:15~14:25)		
セッション名：招待講演-3      司会：若井 伸之 (東芝デバイス&ストレージ (株) )		
(14:25~15:10)	招待-3	<b>「Challenges and opportunities of ESD diodes in advanced DTCO/STCO scaling options.」</b> <b>Wen-Chieh Chen (IMEC)</b>  This talk gives an overview of electrostatic discharge (ESD) diodes in advanced CMOS technologies. The challenges of ESD reliability in advanced scaling options which are tailored for design-technology co-optimization (DTCO) and system-technology co-optimization (STCO) are discussed. The process options are firstly introduced, such as the impact of extremely thinned Si substrate, insertion of buried power rails, and active backside with contacts and metal routings, followed by the comprehensive analysis of various ESD diodes.

<b>セッション名： 招待講演-4</b>		<b>司会：石塚 裕康 (YITOAテクノロジー (株))</b>
(15:10~15:55)	<b>招待-4</b>	<p><b>「Harmonization to/Justification for a Common Industry/Automotive CDM Stress Procedure of Single Zap Per Pin Per Polarity」</b>  <b>若井 伸之 (東芝デバイス&amp;ストレージ (株))</b></p> <p>Charged device model (CDM) testing for non-automotive IC products has been harmonized to single-zap (1-Zap) per pin per polarity in various worldwide standards. In contrast, the AEC (automotive) Q100-011/101-005 CDM standard test procedure zap count has remained at three times Zap (3-Zap). The recent advanced device pin count has significantly increased by 1000-2000+. This has made CDM test time unacceptably long, particularly for 3-Zap CDM testing, resulting in CDM testing being the time-critical path for automotive IC qualification. Discharge phenomena by 3-Zap under the same conditions as any IC pin should not happen if a protected area (EPA) complies with ESD control (ESDC) standards such as ANSI/ESD-S20.20. This indicates a breakdown of ESDC in the EPA. Six supplier companies worked together to compare the CDM pass/fail voltage levels of 20 actual products. Due to overstressing, 3-Zap CDM pass/fail results lowered from 50V to 300V compared to 1-Zap. Other technical data and consideration results are shown. 3-Zap CDM stressing is causing unnecessary burdens (delay and cost) in new IC qualification and automotive customer re-qualification of already non-automotive qualified ICs. It is past time to reconsider and harmonize 1-Zap for appropriate CDM conditions.</p>
休憩 (15:55~16:05)		
<b>セッション名：「イミュニティ」</b>		<b>司会：徳永 英晃 (パナソニックインダストリー(株))、 佐土原 秀樹 (東京電子交易(株))</b>
(16:05~16:30)	<b>34E-06</b>	<p><b>「帯電ケーブルの放電モデル(Wire Harness Discharge Model)に係る更なるデータ取得及び詳細検討」</b>  <b>高野 修平 (三菱電機株式会社 鎌倉製作所)</b></p> <p>デバイスのESD耐性は、HBM、MM、CDMなど既存のESDモデルを適用した試験によって評価され、その耐性を理解したうえでユーザーはデバイスを使用してきた。一方、技術進歩による高集積化・微細化によりデバイスのESD耐性は低下しており、これまで顕在化していなかったESD事象による部品破壊が発生している。特に宇宙機においては、デバイスを搭載した機器に帯電したハーネスを接続した際に発生するESDによるデバイス破壊が問題となっている。</p> <p>前回のシンポジウムでは、ハーネスにおけるESDの放電波形特性を報告し、新しいESDモデルを提案した(JAXA 木之田様より)。本発表では、提案したESDモデルのデバイス評価適用検討に当たり、追加で取得したデータや検討結果について報告する。</p>
(16:30~16:55)	<b>34E-07</b>	<p><b>「静電気放電に伴う近接帯電物の電位低下によってウェアラブル・IoT機器が受ける電氣的ストレス」</b>  ○<b>松本 崇佑, 吉田 孝博 (東京理科大学)</b></p> <p>バッテリー駆動かつフローティング状態で使用されるウェアラブル機器やIoT機器は、機器を所持する人体や機器の近接帯電物とともに高電圧に帯電し、人体や近接帯電物から周囲の導体へ静電気放電(ESD)が生ずる際に、これらの物体と機器の電位が急激に低下する状況がある。この状況下で、ウェアラブル機器やIoT機器が受ける電氣的ストレスについて、バッテリー駆動のポータブルオシロスコープの入力回路に誘起される電圧波形の実測調査を行ったところ、ポータブルオシロスコープの回路が高インピーダンスのとき、数十～数百マイクロ秒オーダの指数関数的に減衰する長時間誘起雑音が観測された。この長時間誘起雑音の基礎特性解明のために、機器の入力回路を模擬した、構造が単純なRC回路と電極板のみで構成された検証回路を作成し、この検証回路の近くに設置した金属板を充放電させた際の長時間勇気雑音の特性を調査した。また、長時間誘起雑音が実際のIoT機器に与える影響を検討するため、フローティング状態にあるウェアラブルなセンサタグIoT機器における長時間誘起雑音による誤動作を調査し、IoT機器に誤動作を生じさせることを確認した。</p>
(16:55~17:20)	<b>34E-08</b>	<p><b>「移動する帯電体の電位上昇と静電気放電 ～B737MAX航空機事故原因解析からの一考察～」</b>  <b>大津 孝佳、中村 心海、杉山 未来、イザトウル インシラー ビンティ イスハク、 大畑 怜央 (沼津工業高等専門学校)</b></p> <p>近年、電子デバイスの小型化・高性能化に伴い、静電気耐力が下がることから、半導体や液晶パネルの製造工程を始め、モバイル機器、介護用ロボット、自動車、航空機などのグラウンドに接続されず、移動する帯電体の静</p>

		電気放電による電子デバイスの破壊や誤動作が懸念される。更に、自動運転や AI による制御など、コンピューターシステムの誤動作は、より深刻な問題である。そこで、移動する帯電体の観点に着目し、航空機ボーイング 737MAX の墜落事故原因を分析し、システムレベルでの対策とコンポーネントレベルでの対策について検討した。ボーイング 737 は 1968 年から運用され続けている商用ジェット機である。ボーイング 737MAX には、機首上げによる失速を防ぐため MCAS（操縦特性補助システム）と呼ばれる操縦支援システムが新たに導入された。2018 年のライオン・エア 610 便墜落事故と 2019 年のエチオピア航空 302 便墜落事故はこの MCAS システムの誤動作が原因とされている。フライトレコーダーの解析から、AOA（仰角）センサの値が離陸時に異常を示していることが分かった。そこで、滑走路走行時の帯電、離陸にともなう電位上昇のモデル実験を行い、MCAS の誤動作の原因として、離陸時の帯電体の静電気放電に起因する AOA センサの故障なども考慮する必要があることが分かった。更に、摩擦帯電や剥離帯電をした後、移動する帯電体の電位上昇とその対策は、ドローン、モバイル機器、基板等の製造工程においても考慮する必要がある。
(17:20~17:45)	34E-09	<p><b>「間接ESDによる電磁干渉（EMI）特性について」</b>  <b>本田 昌貴（株）インパルス物理研究所）</b></p> <p>現実の電子システムの稼働現場では、システムの近くで非直撃的に発生する放電事象（間接ESD）による影響（電磁干渉EMI）を受ける事が多い。直接ESDでは、放電時に電子回路に注入される放電電流が問題となるが、間接ESDでは過渡電磁界の発生・伝搬・回路侵入が問題となる。間接ESDのEMI強度は、必ずしも物体の帯電電圧に比例しない事が一連の実験で明らかになっている。ここでは、間接ESDの全体像を改めて確認すると共に、なぜEMI強度が帯電電圧に比例しないのかを実験データを基に解析する。</p>

**17:50~19:30 情報交換会（軽食・ドリンク付き）：シンポジウム参加者は自由にご参加下さい。**  
**会場： 4階コンベンションホール ロビー（ホワイエ）**

開催日： **2024年11月8日（金）** 9：30～17：10

会場： 4階コンベンションホール A会場

<p><b>セッション名： 「基板・モジュールの静電気対策」セミナー</b>  <b>司会： 福田 保裕（RCJ基板・モジュール静電気対策委員会 委員長）</b></p>		
(9:30~10:15)	セミナー1	<p><b>「基板・モジュール静電気対策委員会活動及び本セミナーの趣旨」</b>  <b>福田 保裕（RCJ基板・モジュール静電気対策委員会 委員長）</b></p> <p>半導体デバイスは、組立工程取り扱いにおける静電気障害、電子システム構成後の稼働におけるESDノイズ障害に対し、オンチップ保護回路、基板上保護回路及びシステム筐体設計対策が取られ、コンポーネントレベルでの標準耐性試験、静電気感性デバイスの工程静電気管理標準、電子システムレベルESD Immunity試験標準等が制定されてきた。しかし、検討が遅れていた中間製造品である基板・モジュールレベルを対象に、CBE-ESD現象分析、耐性設計、工程対策方法の分析からはじめ、システム搭載後のESD耐性確保要求によるHMM耐性評価方法の検討、SEED設計の在り方、基板・モジュールレベル特有耐性分析等を当委員会にて調査、検討してきた。一応、2023.3に「基板・モジュール静電気対策検討委員会調査報告書」として調査、検討内容をまとめ、公開したが、今回のセミナーでは、さらに今後の調査、分析予定内容も含め、紹介する。</p>
<p>休憩（10:15~10:25）</p>		
<p><b>セッション名：「基板・モジュールの静電気対策」セミナー - 前半</b>  <b>司会： 鈴木 輝夫（春日電機(株)）</b></p>		
(10:25~10:45)	セミナー2	<p><b>「CBE現象及びその特徴」</b>  <b>福田 保裕（RCJ基板・モジュール静電気対策委員会 委員長）</b></p> <p>半導体デバイスを含む電子部品搭載の基板、モジュール製品の取り扱い、組立工程における静電気障害は、一般にCBE(Charged Board Event)現象と呼ばれている。この現象のメカニズム、放電波形、特徴を事故事例調査、CBE再現自動機を用いた実験分析したものを説明する。他方、ESDA TR等も参考にCBE現象による損傷防止設計等の考え方を整理する。その上で、次章以降のCBE工程対策、静電気管理手法につなげる。</p>

(10:45~11:30)	セミナー3	<p><b>「ESD 管理規格比較と CBE 障害及び対策事例」</b>  <b>板垣 達也</b>（（株）東芝 生産技術センター）  <b>服部 貞博</b>（パナソニック オートモーティブシステムズ（株））</p> <p>&lt;ESD 管理規格比較&gt;  車載分野において ESD 管理の重要性が高まっており、今後グローバル拠点において主要 ESD 管理 3 規格(日本：RCJS5-1、欧州：IEC61340-5-1、米国：ANSI/ESD S20.20) 要求が求められるため、3 規格比較内容を報告する。</p> <p>&lt;CBE 障害及び対策事例&gt;  半導体デバイスが搭載された実装基板やモジュール基板の製造や組立工程において、歩留りを低下させている要因の一つに、ESD による故障の事例が多数報告されている。基板レベルの故障は、帯電ボードイベント (CBE：Charged Board Event)と呼ばれ、製造工程では固有の対策が必要な状況である。今回、CBE の原因や対策の事例を中心に報告する。</p>
(11:30~12:00)	セミナー4	<p><b>「基板・モジュールレベルにおける±10V静電気管理と測定」 - HDD業界における静電気管理技術と測定方法の紹介 -</b>  <b>山口 晋一</b>（シシド静電気株式会社）</p> <p>基板・モジュールレベルの製造工程においても、新たなレベルの静電気対策が求められて来ている。特に PCBA (PC Board Assembly) ・Chip Let 工程 (中工程) において、今まで以上に低いレベルの ESD 対策が求められる可能性が出て来た。本セミナーでは、±10V レベルの静電気対策を実践されているハードディスク・ドライブ (HDD) 製造工程を参考に、静電気対策の基本的な考え方と必要とされる測定技術や測定器を解説する。</p>
休憩 (12:00~13:00)		
<p><b>セッション名：「基板・モジュールの静電気対策」セミナー - 後半</b>  <b>司会：宇佐美 志郎</b>（ヌヴオトン テクノロジージャパン(株)）</p>		
(13:00~13:45)	セミナー5	<p><b>「基板モジュールレベルの ESD ストレスと部品による対策提案」</b>  <b>徳永 英晃</b>（パナソニックインダストリー(株)）</p> <p>システム（完成品）とデバイス（部品）の中間に位置する基板モジュールは、両者に適用される異なる ESD試験の実施を検討する必要がある。前者においては『ESDガン試験』、後者においては『CBE試験』（デバイスの場合は『CDM試験』）が各々それに相当する。基板モジュールに適用される『ESDガン試験』や『CBE試験』はシステムやデバイスに適用される試験と比較して、ストレスレベルが異なっていることが調査によってわかった。今回のセミナーではこれらESD試験時のストレス差分について解説する。また『CBE試験』においてはデバイスに適用される『CDM試験』より厳しい試験になることを想定、部品によるESD対策を提案する。</p>
(13:45~14:30)	セミナー6	<p><b>「コンポーネントレベルESD保護設計と基板・モジュールレベルESD保護設計への影響」</b>  <b>星田 輝彦</b>（ローム株式会社 LSI 事業本部）</p> <p>コンポーネントレベル、基盤・モジュールレベル共にESD保護設計においては、TLP (Transmission Line Pulse) 特性を用いたESD設計Windowという概念が活用される。基板・モジュールレベルのESD保護設計において、被保護デバイスとしての半導体ICと保護素子としてのTVS等のESD対策部品の各々のTLP特性データを活用したSEED(System-Efficient ESD Design)設計手法が一般的であるが、TLP特性は過渡的な応答特性の表現には限界があるため注意が必要である。今回、コンポーネントレベルESD保護設計におけるESD保護素子の過渡応答例、及びそれが基盤・モジュールレベルのESD保護設計に及ぼす影響や注意点についてケーススタディを交え紹介する。</p>
休憩 (14:30~14:40)		
<p><b>セッション名：「基板・モジュールの静電気対策」セミナー - まとめ</b>  <b>司会：福田 保裕</b>（RCJ基板・モジュール静電気対策委員会 委員長）</p>		
(14:40~15:00)	セミナー7	<p><b>「まとめとQ&amp;A」</b>  <b>講師全員</b></p>
休憩 (15:00~15:10)		

セッション名： 招待講演-5		奥島 基嗣 (ルネサスエレクトロニクス(株))
(15:10~15:55)	招待-5	<p><b>2022 USA Best Paper</b>  <b>「Advanced CDM Simulation Methodology for High-Speed Interface Design」</b>  <b>Umair Ishfaq, Krzysztof Domanski, Susanne Heber, ○Harald Gossner</b>  (Intel Deutschland GmbH)</p> <p>A Charged Device Model (CDM) simulation method has been demonstrated to predict CDM fail current of receiving circuits with gate oxide connected to pad. This method involves inclusion of 20ps rise time edge into the stimulus. It was shown previously that this fast rise time component of the pulse can cause the gate oxide damage. The simulation method is intended as a schematic-level tool during pre-silicon design phase to deliver CDM ESD protection. Simulation results are verified by silicon results with qualification CDM test on package and Transmission-Line-Pulse (TLP) measurements on wafer-level.</p>
休憩 (15:55~16:10)		
(16:10~17:10)	Tutorial	<p><b>「Systemlevel Stress of Connector Port Pins – Demand for Alignment in Industry」</b>  <b>Harald Gossner</b> (Intel Deutschland)</p> <p>Recently Industry Council on ESD Target Levels has launched an industry wide survey on systemlevel direct pin stress. While it was focused on IEC61000-4-2 pulse applied to system port pins, it also asked for EOS-type stress scenarios. The results are presented and are discussed in the light of targets both on systemlevel and IC level. An alignment on the way of testing and the targets will benefit the whole industry and will remove the ambiguity in this field existing today. The relation between systemlevel robustness and IC level characterization including aspects of transient AMR will be highlighted in regard of IC test methodology and modelling and its relevance for system design.</p>

# 第34回 電子デバイス・電子部品の信頼性シンポジウム プログラム

開催日： 2024年11月8日（金） 10：15～17：15

会場： 4階コンベンションホール（B会場）

セッション名：「故障解析、装置及びデバイスの信頼性」 司会： 塩野 登（RCJ）	
(10:15~10:45)	<p><b>34S-01 「微小炭素材料構造解析手法の検討 SEM-EDSと共焦点Ramanによる解析事例」</b>  <b>八巻 潤子（ルネサスエレクトロニクス株式会社）</b></p> <p>半導体製品の微細化に伴い、微小異物が半導体デバイス特性に影響し不良発生に関与して故障問題につながっている。原因究明のため故障解析としてSEM/EDSが最も多く用いられているが、EDSは元素分析であり、例えば炭素が検出した場合、炭素という情報のみであり、何に由来した成分かは、化学構造解析を実施する必要がある。炭素材料は、単一の元素でありながら結合構造の特異性を活かして黒色顔料から宝石に至るまで様々な用途で使用されている。構造解析手法として赤外分光法があるが、炭素の吸収効果により情報を得ることができない。ただし、炭素以外の元素がない、赤外線を透過させない、ことは炭素材料であることを絞り込む有力な情報となる。X線回折は各種材料の結晶構造に関する情報を与えてくれ、炭素材料についても情報を得ることができる。しかしながら、一定量の試料が必要なため、極微量であったり、局所的な分析には向かない。その点ラマン分光は、レーザを照射した際、試料から発するラマン散乱を捉えて試料の構造を解析する手法であり、各種有機・無機材料に対して用いられている。ラマン分光は炭素材料に対しても情報を与えることから、現在では炭素材料の構造を調べる有力な手法となっている。今回、微小炭素系異物解析をSEMEDS共焦点ラマン分光にて実施した解析事例を報告する。</p>
(10:45~11:15)	<p><b>34S-02 「監視システム用電源の信頼性設計」</b>  <b>宮竹 政実（(株) スタッフサービス エンジニアリング事業本部）</b></p> <p>監視システム用電源の信頼性を確保する為、評価を進めた。その一部を報告する。</p> <ol style="list-style-type: none"> <li>(1)供給電源が停電しても監視システムに支障がないように2次電源によりバックアップ体制が必要となった。</li> <li>(2)電源ラインやGNDラインにNoiseが侵入した際、回路誤動作による電源内で短絡電流や過電圧が発生し、パワートランジスタが壊れる場合があった。この対策の保護回路が必要となった。</li> <li>(3)電源の入力電圧が過電圧で入力された際、Fuseやバリスタで回路保護を行う。しかしバリスタに過電流が流れると火花が発生する場合があった。この火花による2次障害を懸念された。</li> </ol> <p>本報告は(2)のパワートランジスタの保護回路の紹介。(3)のバリスタの火花対策として使用した不燃バリスタについて紹介する。</p>
(11:15~11:45)	<p><b>34S-03 「SiC MOSFETのAC-BTI評価」</b>  <b>武井 康平、岸上 英也、瀬戸屋 孝、中村 隆治（沖エンジニアリング(株)）</b></p> <p>SiC MOSFETは高効率なパワー半導体として期待されている。一方で、スイッチングに伴うACストレスにより、しきい値電圧が変動するという従来のSiデバイスには見られない固有の劣化モード(AC-BTI)がある。本発表では、複数の市販されているSiCパワーMOSFETを用いて、AC-BTI試験を行った結果を報告する。</p>

# 信頼性セミナー

## 「SiCパワー半導体の信頼性及び最先端LSIの信頼性」

開催日： 2024年11月8日（金） 13：00～17：15

会場： 4階コンベンションホール（B会場）

司会： 塩野 登（RCJ）		
(13:00~13:15)	「故障物理委員会活動状況」	木村 忠正（故障物理委員会委員長 電気通信大学）
(13:15~14:00)	「SiCパワーMOSデバイスのAC-BTI、ゲートスイッチング不安定性」	木村 忠正（故障物理委員会委員長 電気通信大学）
(14:00~14:45)	「SiC MOSFETの信頼性試験国際規格動向」	瀬戸屋 孝（RCJ）
(14:45~15:00)	休憩	
司会： 木村 忠正（故障物理委員会委員長、電気通信大学）		
(15:00~15:45)	「大規模な太陽フレアイベントとSiCパワー半導体によるSEBへの影響の軽減」	塩野 登（RCJ）
(15:45~16:30)	「GAA/CFETの技術動向と信頼性」	大日方 浩二（ソニーセミコンダクタソリューションズ（株））
(16:30~17:15)	「Beyond 2nm の配線に求められる信頼性」	横川 慎二（電気通信大学）

（注： テーマ名等プログラムが変更される場合があります）

### <要旨>

RCJ が主催している故障物理委員会は、現在ホットな話題となっている半導体デバイス技術の信頼性と故障物理に焦点を当て、調査研究を行っています。今回の信頼性セミナーでは、実用化が先行している SiC パワー半導体と最先端 LSI 用の MOSFET 構造（GAA/CFET）と配線構造の技術動向と信頼性を中心に報告します。

電力制御用のパワー半導体には、電力損失が小さく高電圧対応が要求されています。これらの要求を満たす新素材として SiC、GaN 及び Ga<sub>2</sub>O<sub>3</sub> が注目されていますが、SiC が Si 技術の流用の容易さや大口径・低欠陥 SiC 基板の開発成功などで、先行しています。既に、SiC パワー半導体は市販され、使用されていますが、Si パワー半導体に比べ信頼性は不十分で、多くの改良研究が進められています。特に、最近注目されているのが、実際のアプリケーションのゲートスイッチング動作条件下における SiC MOSFET の不安定性現象で、AC-BTI（AC Bias Temperature Instability）やゲートスイッチング不安定性と呼ばれる現象です。ゲートスイッチング回数が増えるほど、特性（V<sub>th</sub>）変動が大きくなる現象です。高周波動作ほど、短時間で V<sub>th</sub> 変動が起こることになり、SiC パワーMOS の高周波動作の制限要因と考えられています。この現象の評価方法、メカニズム及び対策等について解説します。

また、SiC パワーMOSFET の信頼性試験国際規格開発が進められます。一般的に、調達の際に、国際規格に準拠した信頼性試験が要求されるので、国際的な試験規格は、国益にも直結する重要な規格になります。この国際規格の動向について解説します。

最近、太陽活動が活発化し、太陽フレアによる通信や電力のインフラシステムへの悪影響が懸念されています。記憶に新しいのが、この5月10日～15日に発生した大規模な太陽フレアです。大規模フレアにより、地上に高エネルギー中性線が降り注ぎ、パワー半導体のSEB（シングルイベントバーンアウト）が発生し、パワー半導体が破壊し、電力制御システムが故障する危険があります。SEB耐性は、SiパワーMOSやIGBTに比べ、SiCパワーMOSは強く、太陽フレアの影響を受けにくく、インフラシステム用のパワー半導体として推奨されます。SiパワーMOSと対比してSiCパワーMOSのSEB発生機構やSEB耐性について解説します。

最先端 CMOS LSI の基本要素の MOSFET として、Fin FET に替わり、GAA（Gate All Around）や CFET（Complimentary Field Effect Transistor）が開発され、一部採用されています。これらの最先端技術の動向と懸念される信頼性問題について解説します。

また、最先端の配線技術では、Cu に代わる Co、Ru 等の配線技術が開発されており、信頼性確保も課題となっています。この配線技術の動向と信頼性について解説します。昨年の内容をバージョンアップして報告します。

本セミナーでは、現在LSI信頼性の分野で問題となっているホットな話題を取り上げています。半導体デバイス信頼性に携わっている方は勿論その他の分野に携わっている方々のご参加をお勧めします。

# 信頼性・ESD 対策技術展示会（無料）

（静電気障害対策技術及び ESD 故障解析技術を扱う専門の展示会）

静電気の影響を受けやすい電子デバイス・部品、電子機器などを扱う信頼性技術者、設計技術者、品質技術者の方々を対象に、より進歩した静電気障害対策技術、静電気測定技術、故障解析技術を扱う専門の展示会です。この分野の専門メーカーが展示しますので、最新の技術情報収集のためにも是非お立ち寄り下さい。

期日： 2024年11月7日（木）～11月8日（金）： 10:00～17:00

会場： 大田区産業プラザ（東京 蒲田）、2階小展示場

主催： （一財）日本電子部品信頼性センター

同時開催： **ESD 対策技術ワークショップ（無料）**

同会場内特設会場にて（プログラムの詳細：RCJ ウェブ（<https://rcj.or.jp/exhibition>）参照）

## 出展社名

<b>株式会社いけうち</b> 〒108-0022 東京都港区海岸3-9-15 LOOP-X 14階 TEL：03-6400-1973 E-mail：dryfog@kirinoikeuchi.co.jp URL：https://www.kirinoikeuchi.co.jp/	<b>岩崎通信機株式会社</b> 〒168-8501 東京都杉並区久我山1-7-41 TEL：03-5370-5474, E-mail: ryu.nagahama@iwatsu.co.jp URL: https://www.iwatsu.co.jp/
<b>株式会社エイチエーイー光学</b> 〒142-0062 東京都品川区小山1-1-4 TEL：03-6417-4895, E-mail:mizorogi@haa-op.com URL: https://www.haa-op.com	<b>OKIエンジニアリング</b> 〒179-0084 東京都練馬区氷川台3-20-16 TEL：03-5920-2366, E-mail:oeg-dsales-g@oki.com URL: http://www.oeg.co.jp
<b>春日電機株式会社</b> 〒212-0032 神奈川県川崎市幸区新川崎2番4号 TEL: 044-580-3511, E-mail: info@ekasuga.co.jp URL: http://www.ekasuga.co.jp	<b>CSi Global Alliance株式会社</b> 〒531-0072 大阪府大阪市北区豊崎3丁目1-22 淀川6番館4F TEL: 06-6377-2452, E-mail: takaaki.yoshino@csieda.co.jp URL: https://www.csieda.co.jp/
<b>シンド静電気株式会社</b> 〒150-0012 東京都渋谷区広尾5-8-14 いちご広尾ビル9階 TEL：03-6432-5771 (代) E-mail: info@shishido-esd.co.jp URL：http://www.shishido-esd.co.jp	<b>辰野株式会社</b> 大阪本社 〒541-0054 大阪府大阪市中央区南本町2-9-9 辰野南本町ビル TEL：06-6263-2331 東京本社 〒105-0003 東京都港区西新橋1-20-10 西新橋エクセルビル E-mail: s.ishikura@tatuno.co.jp URL：https://www.tatuno.co.jp/
<b>テク・トライアングル</b> 〒299-4111 千葉県茂原市萱場776-58 TEL: 0475-36-7037 E-mail: suzuki.tech-triangle@chiba.email.ne.jp URL: http://www.tech-triangle.jp	<b>DESCO JAPAN株式会社</b> 〒289-1115 千葉県八街市八街ほ661-1 Tel: 043-309-4470、 E-Mail：Yuta.Takahashi@Desco.com URL: http://www.descoasia.co.jp/
<b>東京電子交易株式会社</b> 〒190-0023 東京都立川市柴崎町5-16-30 TEL: 042-548-8011, E-mail: sadohara@tet.co.jp URL: http://www.tet.co.jp	<b>阪和電子工業株式会社</b> 〒649-6272 和歌山県和歌山市大垣内689-3 TEL: 073-477-4435, E-mail: y-yata@hanwa-ei.co.jp URL: http://www.hanwa-ei.co.jp
<b>ミドリ安全株式会社</b> 〒150-8455 東京都渋谷区広尾5丁目4番3号 TEL: 03-3442-8244, FAX: 03-3444-4508 URL: http://www.midori-esd.jp	

★詳細は別途案内状をご覧ください。（RCJ ホームページ（<https://rcj.or.jp/exhibition>）に掲載しています）。

## ＜参加要領＞

参加区分（開催日）	テキスト	定員	参加費（消費税抜き）（円）	
			RCJ賛助会員 ESDC 協賛団体会員 大田区民	非会員
① 11月7日、11月8日： （2日間）	RCJ信頼性シンポジウム発表論文集 （EOS/ESD/EMCシンポジウム、電子デバイス・ 電子部品の信頼性シンポジウム）  （注：両方のシンポジウムの聴講可能）	各会場 100名	25,000	32,000
② 11月7日：（1日間）			17,000	22,000
③ 11月8日：（1日間）			17,000	22,000
オプション				
④ RCJ成果報告書 （ <a href="#">R-2022-M-01</a> ）	R-2022-M-01 「2022 年度 基板・モジュール静電気対策検討委員会 調査報告書」 ＜「基板・モジュールの静電気対策」セミナー参考資料＞		5,000	7,000

＜注： 報告書の目次は、上記報告書番号をクリックするとご覧になることができます。＞

申 込 先： （一財）日本電子部品信頼性センター

〒111-0043 東京都台東区駒形2-5-6 カミナガビル3F

E-mail: [symp@rcj.or.jp](mailto:symp@rcj.or.jp)、TEL : 03-5830-7601、FAX : 03-5830-7602、

申込締切: 10月31日（木）

申込方法： ホームページのフォーム <https://rcj.or.jp/symposium-application> よりお申し込み下さい。

参加申込者には、参加券等をお送りします。シンポジウム発表論文集は会場渡しのみです。

オプションの成果報告書購入者には、資料ダウンロードサイトをメールしますので、そこからダウンロードしてください。

振込銀行 三菱UFJ銀行、日本橋中央支店、普通預金口座 0084373

口座名： 名義：（一財）日本電子部品信頼性センター

注）費用の振り込み予定日は、貴社の都合に合わせて頂いて結構です。また、不明の場合は空欄で結構です。

## ◆会場ご案内



会場：大田区産業プラザ：4階コンベンションホール、2階小展示場  
〒144-0035 東京都大田区南蒲田1-20-20  
交通：京浜急行線・空港線/京急蒲田駅より徒歩約2分  
(品川・横浜・羽田空港よりの所要時間各約10数分)  
J R京浜東北線/蒲田駅より徒歩約12分

## ◆宿泊施設のご案内

遠方からお越しの方で宿泊が必要な場合下記のホテルに直接連絡してご利用下さい。

- (1) グランパークホテル パネックス東京 TEL: 03-5703-1111  
〒144-0052 東京都大田区蒲田5-9-19
- (2) 東横INN 蒲田東口 TEL: 03-3736-1045  
〒144-0052 東京都大田区蒲田5-18-4

注) (1)、(2)とも、J R蒲田駅東口徒歩2～3分程度

- (3) アパホテル京急蒲田駅前 TEL: 0570-013-711  
〒144-0052 東京都大田区蒲田3-19-1
- (4) 東急ステイ蒲田 TEL: 03-5714-1090  
〒144-0052 東京都大田区蒲田4-23-1
- (5) チサンイン蒲田 TEL: 03-6715-7311  
〒144-0052 東京都大田区蒲田4-23-13

注) (3)、(4)、(5)とも、京急蒲田西口徒歩2～3分程度