

R-17-RS-01

平成 17 年度

## 故障物理研究委員会研究成果報告書

— 最新 ULSI 故障物理及び最新不  
揮発性メモリ技術と信頼性 —

平成 18 年 3 月

財団法人 日本電子部品信頼性センター

## 序 文

近年、半導体の微細加工技術や多層金属配線技術等の開発が益々向上し、半導体集積回路の高集積化・高機能化・高性能化・高速化・低消費電力化が著しく進展し、新たな需要分野を喚起しております。

このような技術により集積されたULSIの信頼性を確保するためには、ULSIの設計・製造プロセスの開発段階で信頼性を作り込むことが重要となっています。そのためには、各種故障モード及び故障メカニズムを解明し、早急に対策を立てていく必要があり、半導体故障物理の研究が益々重要視されるようになってまいりました。

このような背景において、当センターでは、かねてより半導体メーカー、研究所、大学などから故障物理の専門家にお集まりいただき、研究会を組織して、最新半導体デバイスで問題となる信頼性問題について調査・研究を進めてまいりました。

本年は、3年前より調査検討してきたバーンイン技術について、特にチップに着目したバーンイン技術、IDDQによる補強技術について注目し、調査研究のまとめを行っています。その他、従来の延長の故障物理の最近の話題、さらにフラッシュメモリに替わるメモリ技術として期待されている最近の不揮発性メモリと信頼性についての報告も含まれています。本報告書が広く関係方面のご参考になり、活用されることを期待致します。

なお、本事業の遂行に当たり、「故障物理研究委員会」の木村 忠正委員長を始め、委員の皆様の多大なご尽力に対し、深謝致します。

平成18年3月

財団法人 日本電子部品信頼性センター

理事長 福山 裕幸

# 平成17年度故障物理研究委員会研究成果報告書

## 目 次

### 序文

#### 平成17年度故障物理研究委員会委員構成表

まえがき .....	1
1. 真性故障モードの故障物理 .....	2
1.1 極薄ゲート絶縁膜のブレークダウン現象 .....	2
1.1.1 はじめに .....	2
1.1.2 極薄ゲート酸化膜のブレークダウン .....	2
1.1.2.1 ブレークダウン現象の分類 .....	2
1.1.2.2 Successive breakdown とその LSI 故障定義 .....	3
1.1.2.3 Progressive breakdown とその LSI 故障定義 .....	4
1.1.3 Successive breakdown を考慮した寿命予測 .....	6
1.1.3.1 Successive breakdown にもとづく寿命分布 .....	6
1.1.3.2 Successive breakdown にもとづく IDD 増加予測モデル .....	7
1.1.4 Progressive breakdown を考慮した寿命予測 .....	10
1.1.4.1 Progressive breakdown にもとづく寿命分布 .....	10
1.1.5 パーンインへの影響について .....	14
1.1.6 まとめ .....	15
1.2 NBTI (PMOS トランジスタの負バイアス不安定性) .....	17
1.2.1 NBTI の信頼性と劣化メカニズム .....	17
1.2.1.1 はじめに .....	17
1.2.1.2 NBTI の劣化メカニズム .....	17
1.2.1.2.1 拡散・反応モデル .....	18
1.2.1.2.2 表面チャネルと埋込みチャネル PMOS FET .....	20
1.2.1.3 NBTI の加速モデル .....	21
1.2.1.3.1 温度加速性 .....	21
1.2.1.3.2 電圧加速性 .....	22
1.2.2 NBTI の劣化要因 .....	25
1.2.2.1 ゲート長依存性 .....	25
1.2.2.2 ボロン(B)拡散の影響 .....	26
1.2.2.3 窒素(N)濃度の影響 .....	27
1.2.2.4 水素(H)の影響 .....	28
1.2.2.5 重水素(D <sub>2</sub> )の影響 .....	28
1.2.2.6 水分(H <sub>2</sub> O)の影響 .....	29
1.2.2.7 フッ素(F)の影響 .....	30
1.2.3 パルスストレス条件下の NBTI 劣化・回復メカニズム .....	31
1.2.3.1 パルスストレスによる回復現象 .....	31
1.2.3.2 パルスストレスによる劣化・回復メカニズム .....	32
1.2.3.2.1 拡散・反応モデルに基づく NBTI の劣化回復メカニズム .....	32
1.2.3.2.2 正の固定電荷の中性化による回復モデル .....	34
1.2.3.3 PBT ストレス印加時の回復量 .....	36
1.2.3.4 ゲートトンネル電流の NBTI 劣化に対する影響 .....	38
1.2.3.5 水素拡散過程における電荷消失 (lock-in 現象) .....	39

1.2.3.6	回復現象の温度依存性.....	39
1.2.3.7	回復現象の周波数依存性.....	39
1.2.3.8	回復現象の酸化膜厚依存.....	41
1.2.3.9	$\text{SiO}_2$ 膜と $\text{SiON}$ 膜の回復現象.....	42
1.2.4	NBTI ダメージによるホットキャリア劣化への影響 .....	44
1.2.4.1	NBTI ダメージと HC 劣化.....	44
1.2.4.2	NBTI ダメージによる HC 劣化加速メカニズム .....	45
1.2.5	高誘電体(High-k)絶縁膜の NBTI 劣化現象 .....	46
1.2.5.1	Hf 系酸化膜の NBTI 劣化現象 .....	46
1.2.5.2	プロセス要因の影響.....	48
1.2.5.2.1	水素の影響.....	48
1.2.5.2.2	重水素( $\text{D}_2$ )による界面準位の抑制効果 .....	48
1.2.6	NBTI の評価方法.....	49
1.2.6.1	NBTI の評価回路 .....	49
1.2.6.2	NBTI の評価条件 .....	49
1.2.6.3	測定時の OFF ストレス期間における回復の影響.....	50
1.2.7	まとめ .....	50
2.	バーンイン技術 .....	53
2.1	ダイ管理に注目したバーンイン技術 .....	53
2.1.1	歩留り管理・層別によるバーンイン合理化 .....	53
2.1.2	ダイ単位歩留り管理・層別によるバーンイン合理化 .....	55
2.1.3	まとめ .....	59
2.2	IDDQ テストによるスクリーニング技術 .....	60
2.2.1	IDDQ テストとは .....	60
2.2.2	IDDQ テストと高電圧ストレステストによる初期故障スクリーニング手法 .....	61
2.2.3	高電圧 IDDQ テストによる初期故障スクリーニング手法 <sup>4)</sup> .....	63
2.2.4	まとめ .....	66
3.	不揮発性メモリ技術と信頼性 .....	67
3.1	PC (Phase Change) メモリ技術と信頼性 .....	69
3.1.1	はじめに .....	69
3.1.2	構造 .....	69
3.1.3	抵抗変化のメカニズム .....	70
3.1.4	信頼性 .....	72
3.1.5	まとめ及び課題 .....	75
3.2	MRA メモリ技術と信頼性 .....	77
3.2.1	はじめに .....	77
3.2.2	MRAM の動作原理 .....	78
3.2.2.1	トンネル磁気効果 .....	78
3.2.2.2	メモリ動作原理 .....	79
3.2.2.3	MRAM セルのアステロイド特性とトグル方法 .....	79
3.2.3	信頼性上の着眼点 .....	81
3.2.4	信頼性データ .....	83
3.2.5	最近の技術開発の動向 .....	87
3.2.5.1	MR 比の向上、ばらつき低減 .....	87
3.2.5.2	書き込み電流の低減 (スピノ注入磁化反転方式) .....	88
3.2.6	まとめ .....	89
3.3	RRAM メモリ技術と信頼性 .....	90

3.3.1	はじめに.....	90
3.3.2	RRAM 用材料とその書き換え特性 .....	90
3.3.3	RRAM の動作メカニズム .....	95
3.3.4	RRAM の信頼性 .....	98
3.3.5	まとめ .....	100
<b>4</b>	<b>最近の話題 .....</b>	<b>102</b>
4.1	微細トランジスタ技術と信頼性（3 次元構造トランジスタ） .....	102
4.1.1	はじめに.....	102
4.1.2	微細 MOSFET 技術 .....	103
4.1.3	Fin 型 MOSFET の電気的特性 .....	104
4.1.4	3 次元 MOSFET 開発の流れ .....	106
4.1.5	Fin 型 MOSFET の製造技術 .....	108
4.1.6	Fin 型 MOSFET の応用検討 .....	109
4.1.7	3 次元 MOSFET の信頼性 .....	112
4.1.8	まとめ .....	117
4.2	CMOS LSI の微細化トレンドと信頼性課題 .....	119
4.2.1	はじめに.....	119
4.2.2	技術開発トレンド .....	119
4.2.2.1	性能向上の基本 .....	119
4.2.2.2	技術開発項目と実用化時期 .....	120
4.2.2.3	開発技術の概要 .....	121
4.2.2.3.1	歪み Si 技術 .....	121
4.2.2.3.2	完全空乏 SOI 技術 .....	121
4.2.2.3.3	マルチゲート MOSFET .....	122
4.2.3	信頼性課題 .....	122
4.2.4	信頼性目標 .....	123
4.2.5	各信頼性課題と対策 .....	124
4.2.5.1	high- $\kappa$ ゲート絶縁膜とメタルゲート .....	124
4.2.5.2	Cu/low- $\kappa$ 配線問題 .....	126
4.2.5.3	パッケージング .....	127
4.2.5.4	信頼性設計 .....	127
4.2.5.5	NBTI (Negative Bias Temperature Instability) .....	127
4.2.6	潜在欠陥のスクリーニング .....	128
4.2.6.1	従来方法 .....	128
4.2.6.2	信頼性上の課題 .....	128
4.2.6.3	検討課題 .....	128
4.2.7	まとめ .....	129
あとがき .....	130	

## まえがき

LSI のテクニカルノードはスケーリングの進行で 100 nm を切り、いよいよ、ナノテクノロジー技術が LSI メーカの生産ラインに入ってきた。ナノスケールのプロセス技術の開発はもとより、電界、電流密度、消費電力密度の増大は、LSI の信頼性に様々な形で重要な影響を与えていた。Cu ダマシン配線技術と低誘電率層間絶縁膜が導入され、10 層を超える多層配線構造が導入されている。配線電流密度の増大だけではなく、新しい構造や材料の導入により、エレクトロマイグレーション、ストレスマイグレーションによる故障モード、劣化のプロセス、速度等が変化している。Cu は、当初、Al よりもエレクトロマイグレーション耐性が強いと考えられていたが、Cu はストレス誘起粒界成長が生じ、ビアと配線との接続部にボイドが生じる問題や、表面でのエレクトロマイグレーションが優先的であるので、Cu と接触する層間誘電体の影響を受けやすい。また、低誘電率層間絶縁膜の導入は、機械的強度減少だけではなく、熱伝導率が小さいため放熱の問題も生じている。一方、ゲート酸化膜の厚さは 2 nm 以下となり、高誘電率の酸窒化膜や他のゲート絶縁膜+金属ゲート電極の導入が始まられており、そのための新しいプロセス導入も加わって、TDDDB (time dependent dielectric breakdown – 酸化膜経時破壊) においても新しい劣化メカニズムやストレス依存性が現れている。また、一度は解決されたかに見えた p チャネル MOS の NBTI (negative bias temperature instability- 負バイアス不安定性) は、ゲートしきい電圧  $V_T$  が下がってきて現状のデバイスで、再び重要な故障要因のひとつとして浮上してきている。

ナノスケール LSI では、これまで以上に小さなサイズの欠陥が故障を引き起こす要因となり、摩耗故障だけでなく初期故障に与える影響も大である。初期故障の主たる要因として、製造プロセス中に混入したパーティクルがあげられるが、スケーリングの進行とともににより小さなパーティクルが初期故障を引き起こすため、プロセス管理が重要になるだけでなく、そのスクリーニングの方法も難しくなる。問題解決のためには、初期故障を引き起こす欠陥要因、故障メカニズム、欠陥の大きさと初期故障との関係、初期故障分布を明らかにし、製品の寿命に極力影響を与えないスクリーニング、バーンイン方法を考える必要がある。あるいは、初期故障と歩留まりとの大きな相関を利用したスクリーニング方法も研究されている。摩耗故障の故障物理、故障メカニズムはこれまで精力的に研究され、実際のデバイスの設計、プロセス、試験方法等に生かされてきたが、初期故障に関しては、まだまだ、経験的な手法に頼っているところが多い。

以上からも伺えるように、数十 nm のテクニカルノードの LSI では、ますます、故障物理、故障メカニズムをより深く理解し、設計、試験、スクリーニング、寿命予測等に生かすことが重要であることが理解できよう。今後、スケーリングの限界に近づくとともに、新しい材料、構造、デバイスが導入されると考えられる。歪みシリコンによる移動度増大、バリスティック伝導素子、高誘電率 (high-k) ゲート絶縁膜と金属ゲート電極、完全空乏型 SOI (fully-depleted silicon on insulator : FDSOI) 構造、マルチプルゲート (multiple gate:MG) あるいは 3 次元構造、Ge (ドープ) チャネル、Cu/低誘電率層間絶縁膜、金属配線に替わる光や RF (電磁波) による信号伝達、さらに、異種材料、機能混載技術 (シリコン光素子、光回路、化合物半導体、有機半導体、その他の材料) が予測されているが、このような新しい材料、デバイスの導入にあたり、信頼性問題は新たな展開を迫られるとともに、ますます、重要となってくる。本委員会でも、今後、このような技術の進歩に注目した故障物理の研究を行っていく予定であり、皆様のご支援をお願いしたい。