

R-13-RS-01

平成13年度

故障物理研究委員会研究成果報告書

— 最新 VLSI 要素技術(酸化膜と
多層配線)の故障物理と信頼性
から見た Si 半導体技術の限界 —

平成14年3月

財団法人 日本電子部品信頼性センター

序 文

近年、半導体の微細加工技術や多層金属配線技術等の開発が益々向上し、半導体集積回路の高集積化・高機能化・高性能化・高速化・低消費電力化が著しく進展し、新たな需要分野を喚起しております。

このような技術により集積されたULSIの信頼性を確保するためには、ULSIの設計・製造プロセスの開発段階で信頼性を作り込むことが重要な手法になってきました。そのためには、各種故障モード及び故障機構を解明し、早急に対策を立てていく必要があります。そのため、半導体故障物理の研究が益々重要視されるようになってまいりました。

このような背景において、当センターでは、かねてより半導体メーカ、研究所、大学などから故障物理の専門家にお集まりいただき、研究会を組織して、最新半導体デバイスで問題となる信頼性問題について調査・研究を進めてまいりました。本年は、特に近年薄層化が進んでいるゲート酸化膜に関わる信頼性の問題、及び銅配線技術を中心とした多層配線技術の信頼性に着目し、内外の文献調査及び検討を進めてまいりました。また、最近議論が盛んな半導体技術の微細化限界について、特に信頼性から見たシリコン半導体技術の限界についてもレビューしました。

ここに、平成13年度の成果を取りまとめました。平成12年度資料を補強し、酸化膜信頼性と多層配線信頼性について、必ずしも全項目をカバーしてはおりませんが、重要と思われる項目は取り上げたつもりです。本報告書が広く関係方面のご参考になり、活用されることを期待致します。

なお、本事業の遂行に当たり、「故障物理研究委員会」の木村 忠正委員長を始め、委員の皆様のご多大なご尽力に対し、深謝致します。

平成14年3月

財団法人 日本電子部品信頼性センター
理事長 古口 榮男

平成13年度故障物理研究委員会 成果報告書

目 次

序文

平成13年度故障物理委員会委員構成表

まえがき	1
I 薄膜ゲート酸化膜の信頼性	
1. 極薄ゲート酸化膜のブレイクダウン現象(ソフトブレイクダウン現象を中心に)	3
1.1 はじめに.....	3
1.2 ブレイクダウンモード(ソフトブレイクダウンとハードブレイクダウン)	3
1.2.1 電流-電圧特性	3
1.2.2 面積、酸化膜厚依存性.....	4
1.2.3 注入極性依存性(基板タイプ依存性)	5
1.2.4 ストレス電流(電圧)依存性	6
1.2.5 測定系の影響.....	7
1.3 ソフトブレイクダウンとハードブレイクダウンの故障メカニズム.....	8
1.3.1 故障メカニズム	8
1.3.2 電気伝導メカニズム	9
1.4 統一的説明モデル.....	10
1.4.1 電圧トランジェントの回路モデル	10
1.4.2 面積依存性	11
1.4.3 ストレス電圧及びストレス電流依存性.....	14
1.4.4 膜厚依存性	15
1.4.5 消費電力と蓄積エネルギー	16
1.5 微細 MOSFET におけるブレイクダウン現象と回路特性への影響	17
1.5.1 微細 MOSFET のブレイクダウンモードとブレイクダウン箇所.....	17
1.5.2 ブレイクダウン現象のデジタル回路動作への影響.....	19
1.6 まとめ	21
2. 薄層ゲート酸化膜の TDDB 特性と寿命予測.....	24
2.1 薄層ゲート酸化膜の TDDB モデル	24
2.1.1 はじめに.....	24
2.1.2 熱化学モデル(Thermochemical model)	25
2.1.3 アノード正孔注入モデル(Anode Hole Injection(AHI)モデル)	26
2.1.4 トラップ発生モデル(水素乖離モデル)	30
2.2 TDDB 試験方法と工程管理への応用	34
2.2.1 試験法の種類	34
2.2.1.1 電圧ランプ法.....	34
2.2.1.2 電流ランプ法.....	36
2.2.1.3 定電流ストレス法.....	37
2.2.1.4 定電圧ストレス法.....	37
2.2.1.5 薄膜酸化膜における評価法の注意点.....	39

2.2.2	試料作成方法	40
2.2.3	パッケージ品での評価	42
2.2.4	評価装置	42
2.2.5	工程管理への応用	43
2.2.5.1	TDDB モニタリング	43
2.2.5.2	プラズマ損傷モニタリング	44
2.2.5.3	初期ゲートリーク電流モニタリング	44
2.3	寿命分布と予測式	47
2.3.1	寿命分布の起源	47
2.3.2	TDDB (Time Dependent Dielectric Breakdown) の寿命分布	47
2.3.3	寿命予測法	47
2.3.4	まとめ	58
2.4	極薄ゲート酸化膜の TDDB の電圧(電界)、温度加速性－TDDB の最近の話題	60
2.4.1	極薄ゲート酸化膜の TDDB 評価の困難性	60
2.4.2	電圧(電界)加速性	60
2.4.3	温度加速性	62
2.4.4	まとめ	64
2.5	TDDB 関連の最近の文献一覧	64
3.	P チャネル MOS トランジスタの負バイアス温度不安定性(NBTI)	74
3.1	はじめに	74
3.2	NBTI の劣化メカニズム	74
3.2.1	表面チャネルと埋め込みチャネル PMOS FET	74
3.2.2	拡散反応モデル	75
3.2.3	正イオン伝導モデル	76
3.2.4	トンネル電子の電離衝突による界面準位生成モデル	76
3.3	NBTI 劣化要因	78
3.3.1	ゲート長依存性	78
3.3.2	ボロン(B) 拡散の影響	79
3.3.3	窒素(N) 濃度の影響	80
3.3.4	酸化膜中の水素(H) 及び重水素(D2) の影響	81
3.3.5	水分(H2O) の影響	82
3.3.6	ゲート酸化膜中のフッ素(F) の影響	82
3.4	まとめ	82
4.	最近の話題	84
4.1	高誘電率(high-k) ゲート絶縁膜の動向と信頼性	84
4.1.1	High-k 材料に求められる特性	84
4.1.2	高誘電率ゲート絶縁膜材料と論文紹介	86
4.1.3	まとめ	89
4.2	強誘電体膜の信頼性	91
4.2.1	はじめに	91
4.2.2	強誘電体膜材料	91
4.2.3	強誘電体メモリセル技術	93
4.2.4	強誘電体膜の信頼性	94

II 多層配線技術と信頼性	
1. エレクトロマイグレーションのモデル	97
1.1 はじめに	97
1.2 基礎概念	97
1.2.1 通常の銅線と LSI 配線の比較	98
1.2.2 物理現象としてみたエレクトロマイグレーション	98
1.2.3 多結晶薄膜におけるエレクトロマイグレーション	100
1.2.4 エレクトロマイグレーションにより起こる故障のモード	101
1.2.4.1 断線モード	101
1.2.4.2 抵抗増加モード	102
1.2.4.3 短絡モード	102
1.2.4.4 h_{FE} 劣化	103
1.3 エレクトロマイグレーションを説明するモデルとその役割	103
1.3.1 質量移動の基本式	103
1.3.2 確率論的モデル	103
1.3.3 金属学的モデル	104
1.3.4 熱的モデル	104
1.3.5 力学的ストレスモデル	104
1.3.6 統計的寿命分布モデル	104
1.4 力学的ストレスモデルと逆流応力	104
1.5 添加金属の優先拡散モデル	106
1.5.1 エレクトロマイグレーション試験における抵抗変動	106
1.5.2 incubation time	107
1.5.3 ドリフト期間	109
1.5.4 抵抗飽和期間	111
1.6 内因性応力モデル	112
1.6.1 Korhonen の内因性応力モデル	112
1.6.2 シンクロトロン放射光による応力解析	116
1.7 まとめ	119
2. Cu 配線技術と信頼性	124
2.1 はじめに	124
2.2 Cu 配線のエレクトロマイグレーション	124
2.2.1 Cu 配線と Al 配線の比較	124
2.2.2 Cu/バリアメタル界面の影響	125
2.2.3 多層配線のエレクトロマイグレーション	128
2.2.4 Cu 配線の Critical Product	129
2.3 Cu ドリフト現象	132
III 微細化・薄膜化技術対応の物理分析技術	
1. 故障解析技術のトレンド	137
2. 故障位置特定化の新技术	138
2.1 レーザービーム励起 SQUID 検出法	138
2.2 Laser Voltage Probing 法	139
3. 電子ビーム関連物理解析技術	139

3.1 電子銃の高性能化	140
3.2 SEM のアプリケーション例	140
4. 走査プローブ顕微鏡での故障解析技術	142
4.1 ホール底部の観察の試行	142
4.2 酸化膜電気的特性評価法	143
5. 今後の故障解析技術の展望	143
IV 電子デバイスの微細化限界	
1. デバイス構造の微細化限界	145
1.1 電子デバイスの過去と将来	145
1.2 消費電力の限界	145
1.2.1 現状	145
1.2.2 原理的考察によるスイッチング消費電力限界…0 Joule/switch	146
1.2.3 熱力学的考察によるスイッチング消費電力限界…0.00065 fJ/switch	147
1.2.4 半導体ロードマップによるスイッチング消費電力限界…0.002 fJ/switch	148
1.2.5 リーク消費電力の限界	148
1.3 酸化膜	149
1.3.1 DRAM 酸化膜	150
1.3.2 ゲート酸化膜	150
1.4 ドーピング	151
1.5 ゲート材料	152
2. 配線技術限界	154
2.1 配線の危機	154
2.2 基礎限界	154
2.2.1 性能限界	154
2.2.2 エネルギーからみた限界	154
2.3 材料レベルの限界	155
2.3.1 材料の抵抗率	155
2.3.2 材料の信頼性	155
2.4 デバイス・回路レベルの限界	155
2.4.1 RC 効果	155
2.4.2 配線スケールリング	156
2.4.3 インダクタンス効果	158
2.5 システムレベルの限界	158
2.5.1 2次元集積の限界	158
2.5.2 3次元集積の好機	159
2.6 光配線	159
あとがき	160

まえがき

ゲート酸化膜の薄層化限界が見えてきて高誘電率(high- κ) ゲート絶縁膜が検討され、また、配線遅延を小さくするために、Al 配線と層間絶縁酸化膜の組合せから Cu 配線と低誘電率(low- κ) 層間絶縁膜の導入へと進んでいる。しかし、半導体の電氣的性能としてはトップではないシリコンが、これほどまでに LSI 等の電子デバイスとして発展してきたのは、シリコン酸化膜という、膜自身としても優れ、かつ、シリコン半導体と良好なコンタクト界面を形成する絶縁膜によることが大きく、LSI のキーテクノロジーといっても過言ではない。

21 世紀に入って、high- κ 、low- κ 絶縁膜の導入の実施あるいは検討に踏み切ったが、現場の声は、シリコン酸化膜に対するような長年の研究、経験、実績のない新しい絶縁膜の導入に戸惑っているようである。そこには、プロセスの再現性、加工性、そして、長期信頼性の問題がある。

また、メモリに於いても、強誘電体膜キャパシタを用いた FRAM (または FeRAM, Ferroelectric Random Access Memory)、あるいは強磁性体膜キャパシタを用いた MRAM (Magnetic Random Access Memory) の開発研究が進み、FRAM は、一部、既に、実用化されているが、当初の見込みに比べて高集積化、高密度化に苦労している。これも、新しいキャパシタ膜の性能出し、加工の困難、信頼性などが原因である。

このような問題は、いずれ、解決されていくものと思われるが、ここにきて、改めて、シリコン技術の基本限界はどこにあるかということ、これまでの研究、技術の成果を基に物理的、電氣的、技術的に再検討し、今後の 10 年、20 年先の電子デバイス技術の方向を正しく判断することが必要という動きが現れてきた。Proceedings of the IEEE での特集^[1] や、M. L. Green et al. は、JAP の Applied Physics Reviews での極薄 SiO₂, Si-O-N ゲート絶縁膜の物理的、電氣的限界の記事^[2] 等、多くの論文で議論されている。

平成 13 年度 RCJ 故障物理研究委員会に於いては、縮小化の物理的、電氣的限界に関して上記文献をはじめとして種々の文献を調査検討し、これらの視点の理解の下で、ゲートあるいは層間絶縁膜の信頼性、配線の信頼性、微小化に起因するトランジスタの新たな故障要因等について調査した。このような意味で、一部は、平成 11, 12 年度の調査研究成果の改良版である。

デバイス縮小化と信頼性

情報処理の観点からは、エネルギーの熱損失がデバイスの根本的限界と考えられてきた。デバイス動作に必要な最小パワーは幾らかという問に対して、可逆的コンピュータというものが実現できれば原理的にゼロであるという。実際のコンピュータでは、縮小化が低コスト化、高機能化、高信頼性化とともに、低消費電力化をもたらした。縮小化にともない、デバイス動作に関与する電子数が減少することにより数のフラクチュエーションの問題、不純物、表面、界面散乱など、半導体中の電子の輸送現象の問題が現れるが、これは、本質的にはデバイスの限界とはならない。

高集積化にともなう配線長の増大は配線遅延、配線の占める面積の増大等の問題を引き起こす。配線幅の減少、多層化、チップ積層化などの努力により面積の増大を抑え、一方、Al に替わる低抵抗率 Cu と低誘電率層間絶縁膜の導入で配線遅延を小さくする努力がなされている。配線の信頼性は、エレクトロマイグレーションが再重要課題であるが、故障物理の理解が深まり、故障を抑える設計指針が確立されてきている。

ゲート酸化膜の極薄化は、動作、信頼性において深刻な問題を生じる。トランジスタの正常動作の観点からは 1 A/cm^2 のリーク (SiO_2 厚さ 1.3 nm) が許されるが、消費電力の観点から 10^{-3} A/cm^2 以下に抑える必要があり、酸化膜厚さは 1.9 nm 以上の必要がある。Si/SiO₂ 界面層の厚さおよそ 0.12 nm と界面荒さの 0.5 nm を考慮すると、酸化膜厚さ $\sim 1.2 \text{ nm}$ がリークが必要な値以下に抑制される限界厚さである。また、極薄ゲート酸化膜 MOS では、ドレイン電流が減少するという現象も見られるので、動作の観点から見ても、SiO₂ ゲート酸化膜厚さを 1.3 nm 以下にするメリットはない。

動作限界よりは信頼性がゲート酸化膜厚さの限界を決めるとの見方が高い。ここ数年の間に、多くの酸化膜劣化のモデルが提案された。モデル間で電氣的ストレス依存性が異なり、加速試験の結果から使用ストレス領域への外挿による寿命予測が大きく異なるという、当惑させられる種々のモデルが提案されている。酸化膜厚が薄くなるとともに、TDDB (time dependent dielectric breakdown) 寿命のストレス依存性モデルが、電界 E に対する $\exp(-a/E)$ から $\exp(-bE)$ へと移り予測寿命が厳しくなった。 5 nm 以下では、注入電子がバリスティックに(酸化膜との相互作用無しに弾動的に)通り抜けるため、ゲート電界ではなく電圧が劣化の速度を、すなわち寿命を決める。 $5 \text{ V} - 3.5 \text{ V}$ ($5 \text{ nm} - 3.5 \text{ nm}$ 厚) では FN トンネルで、 3.5 V 以下 (3.5 nm 以下) では直接トンネルでリーク電流が流れる。一方、これまでの予測寿命より桁違いに長い寿命が予測されるモデルも登場している。

どのような劣化モデルが適用されるにしても、今後、ますます、大きなゲートキャパシタンスが必要となり、等価ゲート酸化膜厚さ 1 nm 以下が要求されることは必死で、ここ、数年以内に先ず、Si-O-N 膜が導入されるであろう。良質の Si-O-N 成膜プロセスの開発とその信頼性評価が課題となる。その次は、high- κ 誘電体膜の登場が予測されるが、high- κ 誘電体膜は Si ゲート絶縁膜として、high- κ である以外は全ての点に於いて酸化膜に劣るとというのが現状である。このような背景から、酸化膜の限界を十分に把握し、LSI 開発の将来像を的確に見定めることが重要である。高誘電率、Si との伝導帯障壁の高さといった性能も大切であるが、Si と反応して SiO₂ を形成し難いこと、非晶質の性質を維持することも種々の熱プロセスに対する安定性の観点からも重要である。

参考文献

- [1] "Special Issue on limits of semiconductor technology", Proc. IEEE vol.89, No.3. March 2001 (ed. by J. D. Meindl)
- [2] M.L. Green, E.P. Gusev, R. Degraeve, E. L. Garfunkel, Ultrathin ($< 4 \text{ nm}$) SiO₂ and Si-O-N gate dielectric layers for silicon microelectronics: Understanding the processing, structure, and physical and electrical limits", J. Appl. Phys. vol.90, No.5 pp.2057-2121, 2001.