

R-59-ES-01

半導体デバイスの静電気破壊
現象とその評価方法に関する
調査研究成果報告書

昭和60年3月

財団法人 日本電子部品信頼性センター

序 文

MOS技術や微細加工半導体製造技術の進歩により集積回路などの半導体デバイスの性能は、ますます向上されております。

しかしながら一方これらのデバイスは、静電気などの過電圧に極めて弱く、機能が破損しやすい欠点があるので信頼性の確保をするためには、静電気による劣化・破壊の現象ならびにメカニズムの解明とその標準的な試験方法や評価方法の確立が強く内外で要望されております。

そこで当センターでは、昭和59年度の小型自動車等機械振興資金の補助を受けて半導体デバイスの静電気破壊と耐性評価方法に関わる調査研究事業を実施いたしました。

ここに本年度の成果をとりまとめ報告書を作成いたしました。本報告書が広く関係各方面のご参考になり活用されることを心から期待いたします。

なお 事業を遂行するに当り、当センターで組織いたしました「静電気対策委員会」村崎委員長をはじめ委員各位の絶大なるご協力に対し厚くお礼申し上げます。

昭和60年3月

財団法人 日本電子部品信頼性センター
理事長 高 木 昇

目 次

1. 概 要	1
1.1 はじめに	1
1.2 委員会課題の概要	4
2. 半導体デバイスの静電気破壊現象	5
2.1 概 説	5
2.2 静電気破壊を支配する因子	5
2.2.1 破壊の発生位置	5
2.2.2 故障のモード	6
2.2.3 破壊のモデル	7
2.3 接合の破壊	10
2.4 配線膜の破壊	12
2.5 酸化膜の破壊	15
2.6 静電気による故障事例	18
2.6.1 冷却用エアゾールの噴霧による EP-ROM のソフトエラー	18
2.6.2 酸化膜の電圧印加時間依存性破壊とスクリーニング法	19
2.6.3 潜在性静電気故障	22
2.7 破壊現象の確認法	24
2.7.1 概 説	24
2.7.2 標準の誘電体破壊法	24
2.7.3 Self-healing 誘電体破壊法	26
2.7.4 光学的顕微鏡による観察	26
2.7.5 電子顕微鏡及び SEM (Scanning Electron Microscope) による観察	26
2.7.6 ホトエミッションによる方法	27
2.7.7 銅デコレーション法	27
2.7.8 選択的化光エッチング法	27
2.7.9 液晶によるホットスポットの観察	27
2.7.10 EBIC 法	31
2.7.11 電圧コントラスト法	32
2.7.12 EBEGC 法	32

3. 静電気耐性とデバイス構造	37
3.1 概 要	37
3.2 シリコンデバイス	37
3.2.1 バイポーラトランジスタ構造	37
3.2.2 MOSトランジスタ構造	46
3.3 化合物デバイス	53
3.3.1 MESFET構造と破壊事例	54
3.3.2 保護回路によるESD耐量向上	56
4. 内外のESD試験方法	59
4.1 まえがき	59
4.2 内外の規格動向	59
4.3 その他の評価方法	61
4.3.1 デバイス・パッケージ帯電モデル	61
4.3.2 デバイス帯電モデル	62
4.3.3 電界誘導モデル	63
4.3.4 その他の人体モデル	63
5. 静電気耐性評価方法の諸問題	67
5.1 破壊モデルと評価方法	67
5.1.1 人体モデル法	67
5.1.2 パッケージ帯電法	68
5.2 各評価方法共通の問題点	71
5.3 試験上のその他の問題点	72
5.4 故障判定法	72
5.5 試験データの最終判定	73
5.6 試験の安全性	73
6. 半導体デバイスの取扱い上の注意事項	75
6.1 各過程における半導体デバイスの取り扱い注意事項	75
6.1.1 製品・機器の設計上の注意事項	75
6.1.2 輸送、保管時の注意事項	76
6.1.3 製造、組立時の注意事項	77
6.2 最終ユーザ迄を考えた場合の注意事項	78
6.2.1 静電気障害対策部品の使用の必要性	78
6.2.2 静電気障害対策部品の取り付け場所の選択	79

7. 今後の課題	81
7.1 概 説	81
7.2 構造の変化と ESD 耐性	81
7.3 パッケージの多様化と ESD 耐性	82
7.4 各工程の自動化と ESD 耐性	83
7.5 用途の多様化と ESD 耐性	84
7.6 ESD 耐圧評価方法	84
7.7 まとめ	85
8. 結 言	87

1. 概 要

1.1 はじめに

静電気と電子工業との出会いは風塵雑音にはじまる。強風で砂塵が空気中に舞いあがると、砂塵の電荷が空間に静電界を形成する。砂塵の移動にともなう電界の変化は電話線等に雑音（静電誘導・コロナ放電）を発生させる。日本では、関東ローム層による春先の障害が多発した時期があった。接地回線の改良により、雑音の信号線侵入が防止された。なお、接地回線は静電気対策の重要課題の一つとして現場技術者には現在も重視されている。ついで、電気絶縁物の性能向上にともなう絶縁物の帯電・圧電気・界面分極電荷が回路に雑音・0点変動等の障害を発生するようになった。絶縁物の表面抵抗の低下・汙波回路等によるインピーダンスの調節・饋還系の改良等により、現場段階の対策としては表向きは小康状態に達している。しかし、現在よりも高品位の対策がすでに要求されているところでは、次期対策のあり方に技術的に不分明な点が多く残されている。

上記の古典的な障害は、現象論としては静電界と火花放電に属し、電子工業以外の産業でも障害を発生させている。

つぎに半導体素子の発明と集積度の向上・使用量の増大・エレクトロニクスシステムの巨大化・社会全般に進行した環境電磁界の悪質化は、前記した古典的な障害の他に、(1)素子の損傷、(2)機器の誤動作、をエレクトロニクスに発生させるようになった。静電気も含めた環境電磁界エネルギーの密度 W_E は年々大きくなる傾向にある。一方、情報処理デバイスの単位信号エネルギー密度 W_I は年々小さくなる傾向がある。したがって、真空管時代には $W_I \gg W_E$ であったものが、現在の半導体デバイスになると $W_I \approx W_E$ となり、自然帯電の制御（環境整備）までが対策として要求されるようになった。（表 1.1）は半導体素子が経験した素子損傷の歴史で、素子の機能メカニズムの進歩は損傷のメカニズムの変化となることが伺える。

素子の損傷と機器の誤動作は素子およびシステムの静電気耐性を向上させることによって防止できる。また、環境の自然帯電が小さい程静電気障害は減少する。したがって、環境の整備と作業員の管理も静電気対策として必要となる。

素子・セット・システムの静電気耐性・環境の整備状況・作業管理を評価するためには、耐性試験・環境静電気特性・作業にともなう自然帯電を科学技術的に正しく測定すること、および評価のフィロソフィを明確にすることが必要である。試験・測定等の物理現象としての数値と、その数値にいかなる評価を与えるかということとは別物である。また、耐性試験と信頼性試験とは測定法・試験法が同じであったとしても、データ採取に必要な規定条件はどこかで不一致である。これらの基

表 1.1 ESD対策の変遷⁽¹⁾

ESD対策	年代区分	半 導 体 記 事	事 故 例	対 策 例
第 1 期	1940 / 1945 / 1950 / 1960	Si 点接触ダイオード実用化 A 型トランジスタの発明 Ge トランジスタの発明, 実用化 Si トランジスタの実用化	レーダ用 Di の破損事故	鉛ケース収納 バーンアウト試験 MIL-STD-750 M. 4141 M. 4146
第 2 期	1960	MOS-FET の実用化 TV 受像機のトランジスタ化	ゲート SiO ₂ 膜破壊 (Tr, 組立, 検査・輸送 セット組立時の不具合) 水平偏向用 Tr. の放電破壊	金属トレイの採用 ショートリング, 銀紙包装, 半田こて, 作業台改良, Tr. の SOA 改善対策 実用放電試験導入 ΔV_{EB} 法によるスクリーニング
第 3 期		カーラジオの Si, Tr, 化	フロントエンド Tr. の E-B 接合ショート	Tr. のマスタパターン変更で ESD 耐性改善
第 4 期	1970	TV 受像機の IC 化 カーラジオの IC 化 機械組立工場近代化 TTL 74 シリーズ普及	コンベアベルト帯電 プラスチックケースからの放電 IC 類の ESD 破壊	IC マスクの設計変更 R. Di の組み込み IC 入力回路への ESD 保護回路 組込の定着化スタート
第 5 期	1975	CMOS 4000 系普及 マイクロコンピュータ普及	ESD 障害散見 新故障モード散見	IEEE Reliability physics '77, '78 ESD 対策セクションをもうけ啓蒙。 米軍 DoD-HDBK-263 DoD-STD-1686 (1980 MAY, 2) 発行

(1) 藤江明雄：エレクトロニクスシステムの静電気対策資料集

昭和 57 年 7 月 26 日 P 103 第 1 インターナショナル刊

本の見地は従来あまり検討されることなく、導体系静電界をもモデルとした静電気論が対策のフィロソフィとして便宜的に使用されてきた。そのために、絶縁物系の静電気に関する現実の諸問題に局部的対応が必要となり、耐性評価・試験法に各種の提案がおこなわれ、いずれも業界の一部で実施されている。しかし、エレクトロニクス全般にわたって大勢を決める程の有力評価法は得られていない。

本委員会の発足に際し、各委員が一樣に懸念したことは上記したような多様性を有する現在の耐性評価法・試験法を信頼性センター指導の学術的批評に耐えうるガイドラインとして単純化することができるかということであった。

多数派に支持される耐性評価に関するガイドラインの存在は究極的には省資源・省エネルギーとして業界の期待するところで、国家経済への貢献度が大きいことは自明であるという委員全員の見解がだされた。しかし、現在に至るまで、評価に関する試験法とその批評等の実情調査が権

威ある立場でおこなわれたことがないということも指摘された。それで、当委員会の責任で半導体デバイスの耐性評価に関する実情調査とその批評をおこない、それにもとづいて評価法・試験法のガイドライン化を謀ることになった。

日本の代表的な半導体メーカーの社員としてこの方面の経験豊富な方々で構成された本委員会がおこなった評価に関する試験法の実情調査ならびに試験法に対する見解は、他の機関から発表されているものよりも実用的威力があるとおもわれる。なお、評価法の多様性が生じる遠因と近因についても委員会で討議がおこなわれ、ガイドライン作成の基本線は以下に述べるような見解に基盤をおくことになった。

- (1) 耐性評価・試験法が多様化した理由は尊重する。すなわち、企業・業界・担当部所等により、評価法・試験法の位置づけと使用目的が異なるという事実を尊重する。
- (2) 評価法・試験法の学術的価値よりも、産業界での効用価値を優先する。たとえば、学術的・技術的にすぐれてはいるが、実施には能力の高い技術者が必要となる評価法・試験法よりも、学術的・技術的に難点はあるが、評価と試験の実施には特に高能力を必要としない評価法・試験法の方が現時点では関係者の多数派に受け入れやすいと委員会は判断する。すなわち、評価・試験に過大の投資をさけたいという世上の願望を認める。また、静電気耐性がエレクトロニクスとして必要な限度を越えて、メーカー間の競争用の指標にならないように配慮する。実用性を忘れて厳密性のみを重視した試験規格では、試験を必要とする本来の意味がなくなることを関係業界のすべてにP・Rする必要がある。
- (3) 前記(2)を実現するためには、現在、各社でおこなわれている評価系の実情を調査し、それにもとづいた規格を、必要な追加実験を加味して求めることが必要である。
- (4) デバイスメーカーから見た耐性評価には、デバイスメーカーが設計仕様を合理化するための内部むけの評価と、システム設計者を含めたユーザのデバイス使用条件を便利にするための外部むけの評価とがある。デバイスメーカーとシステム組立メーカーとの間の上記の関係は、組立メーカーと最終ユーザとの間でも成立する。そのために、最終ユーザの見解がデバイスメーカーに及ぶ場合もあるので、デバイス設計者・システム設計者・フィールドサービス業者の共通認識としての耐性評価系をめざすことが当面必要で、デバイス設計仕様合理化のための評価はデバイスメーカーの企業努力の目標として本委員会の重要項目からは除外する。したがって、エレクトロニクス業界としては、川上に属するデバイス部門の先行的努力を本委員会がはたすことにより川中、川下部門の健康な協力態勢が次年度以降の委員会で得られることを期待し、非公開の社内資料もユーザに公開する方向で委員会を運営する。しかし、このような理想が実現するには数年以上の年月が必要とおもわれるので、その間の連続性についても配慮する。
- (5) システムの巨大化・デバイスの高密度集積化が今後も進行する限り、評価・試験法・対策はそれに応じて進歩しなければならない。それゆえ、本委員会はガイドライン化された耐性評価法